|  |
| --- |
|  |

RRU\_TDD移植

文 档 名 称： RU\_TDD移植方案

版 本： V1.1

日 期： 2021.1

共 4 页

（包括页面）

版权所有:北京云智软通技术有限公司

|  |
| --- |
|  |
|  |

目  录

[目录 1](#_Toc63240578)

[1.目的 2](#_Toc63240579)

[1.1文档说明 2](#_Toc63240580)

[1.2需求 2](#_Toc63240581)

[1.3缩写 2](#_Toc63240582)

[2.RRU TDD软硬件情况 2](#_Toc63240583)

[2.1 PL部分控制 2](#_Toc63240584)

[2.2 PS部分控制 5](#_Toc63240585)

[2.3 其他控制 7](#_Toc63240586)

[3.RU\_FPGA状态机 8](#_Toc63240587)

[3.1图示 8](#_Toc63240588)

[3.2 旧TDD模块改造 8](#_Toc63240589)

[3.3 GPIO模块 9](#_Toc63240590)

[3.4 中断设置（暂时使用IRQ） 9](#_Toc63240591)

[10](#_Toc63240592)

[3.5 时序限制 10](#_Toc63240593)

[3.6切换位置 11](#_Toc63240594)

[4.测试记录 11](#_Toc63240595)

[4.1 PS测试 11](#_Toc63240596)

[4.2 PL测试 12](#_Toc63240597)

[4.3 在板测试 14](#_Toc63240598)

[附录 14](#_Toc63240599)

[参考文档 14](#_Toc63240600)

## 1.目的

### 1.1 文档说明

本文档描述了rru实现TDD功能的需求、设计、实现。

### 1.2 需求

实现rru的TDD模式

可将sync\_prach201107代码中的tdd模块进行移植，结合rru的tdd模式

### 1.3 缩写

TDD Time-division Duplex 时分双工

rru remote radio unit 远端射频单元

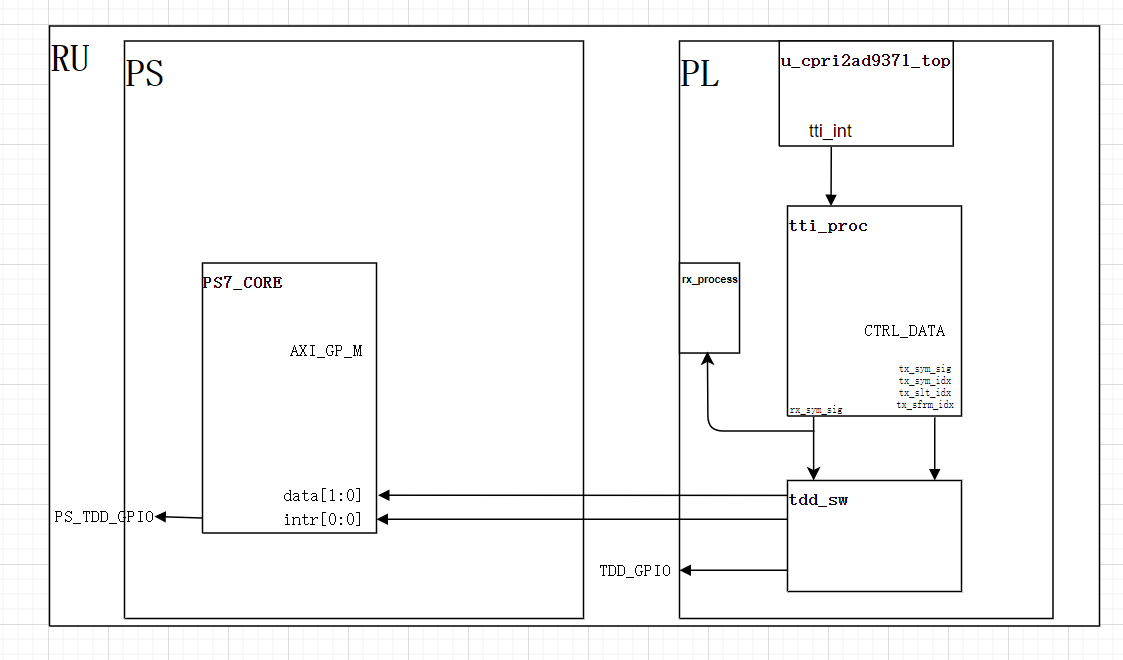
ZYNQ Xilinx的集成ARM与FPGA的芯片

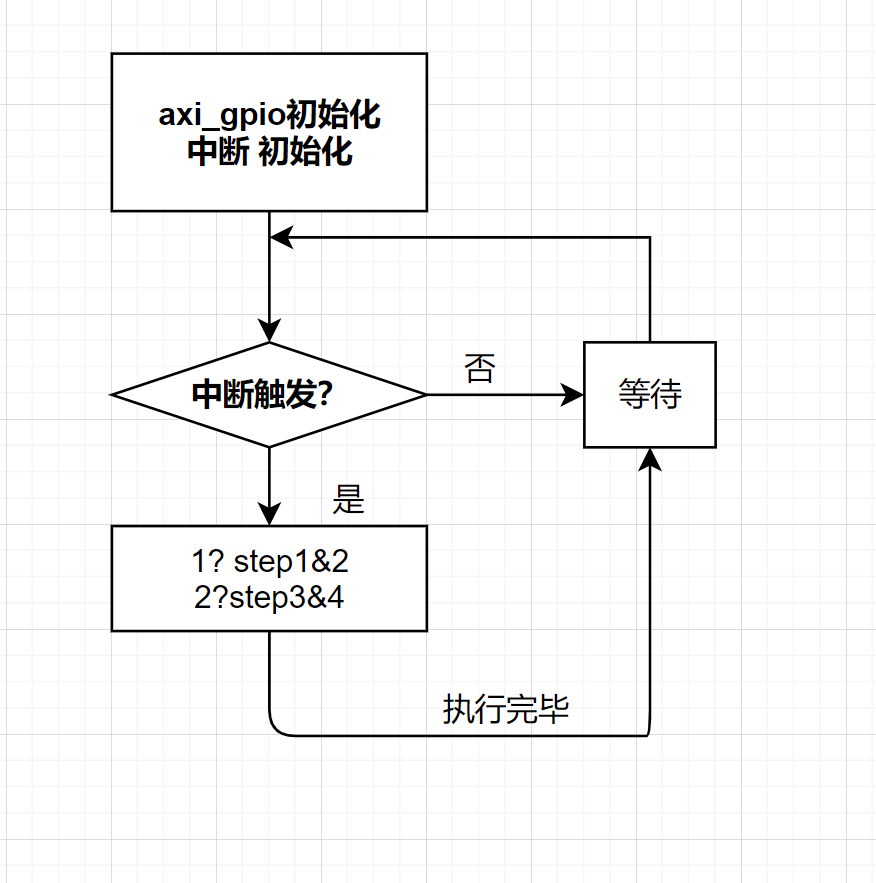
PS process system 指ZYNQ中ARM部分系统

PL program logic 指ZYNQ中FPGA部分

## 2.系统结构

### 2.1 结构图





### 2.2 模块组成

* PL部分有：

①tdd\_sw：TDD切换功能的实现

②tti\_proc：来自ECPRI的tti转换成tx/rx脉冲，供TDD及其他模块使用

* PS部分有：

①tdd\_intr\_initial();

②intr\_handler();

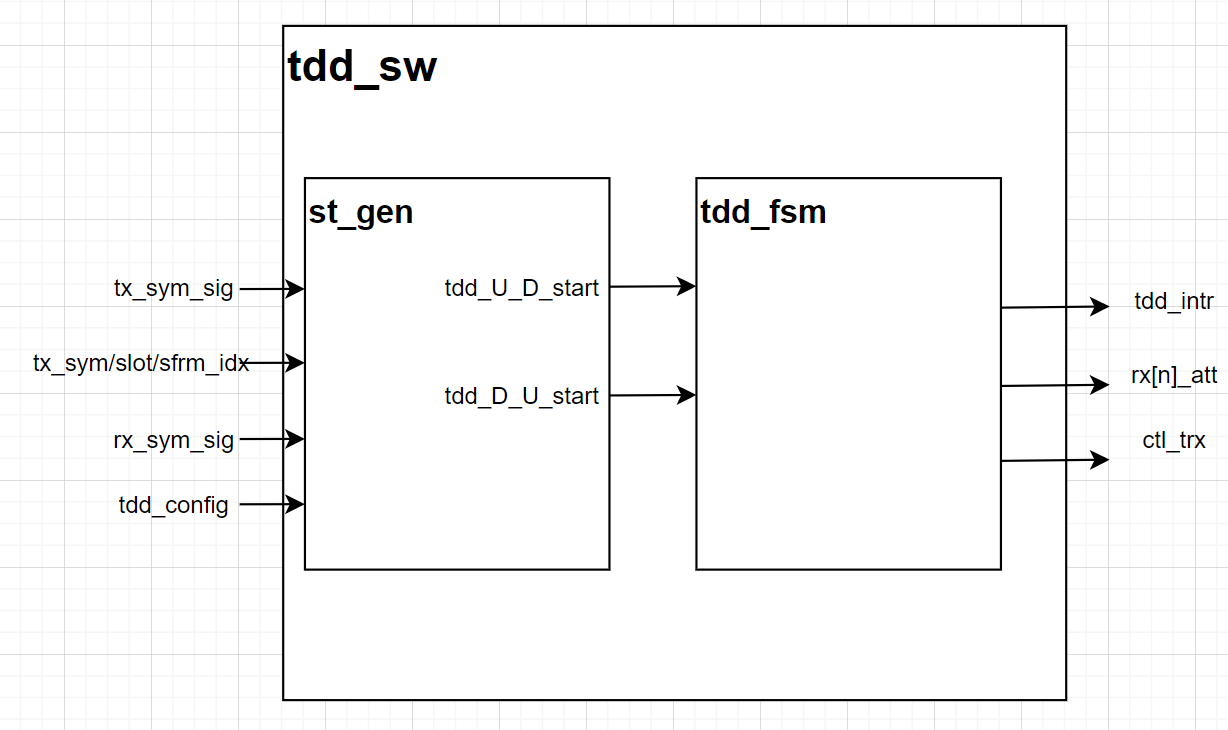
## 3.PL部分

**3.1-3.3： tdd模块**

**3.4： tti\_proc**

### 3.1简述

#### 3.1.1 tdd\_sw结构图



#### 3.1.2 改动

**旧层级**

TDD\_SW

|-ST\_GEN //切换周期、状态机启动信号产生

|-TDD\_MACHINE //配置值状态机

|-TDD\_MUX //gpio/spi控制权切换

**新层级**

TDD\_SW

|-ST\_GEN //内容不变

|-TDD\_FSM //①去除MUX信号②9371部分更改为ARM中断③时钟

### 3.2 st\_gen

#### 3.2.1 功能

根据TDD配置及tx/rx信号，产生U/D D/U的切换信号

#### 3.2.3 配置接口

经过跟老杨确认，此部分配置接口可以根据bar-cfg的格式预留

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **名称** | **当前x86地址** | **实际位宽** | **说明** | **位置** |
| tdd\_prd\_pos | 0x21c | 15:0 | w/r [15:8]:slt周期 [7:0]：S时隙位置 | RU\_FPGA |
| tdd\_sym | 0x220 | 27:0 | w/r bit1:0,代表sym0的格式，bit3:2代表sym1的格式，依次类推，bit27:26代表sym13的格式。00：d 01：u 10:s  11:保留 | RU\_FPGA |
| tdd\_cfg\_ valid | 0x224 | 0:0 | w/r bit0: 是地址21c/220的输入写使能，0->1->0有效 | RU\_FPGA |
| hd\_cf\_sw | 0x228 | 0:0 | 1:来自header 2：来自bar\_cfg\_top | RU\_FPGA |
| gain\_att\_value | 0x22c | 15:0 | [7:0] 增益或衰减值，视使能而定  增益值范围195~255，  衰减值范围0~839，见平台函数说明 | ARM |
| gain\_att\_valid | 0x230 | 31:0 | [0]:值为上升沿（0->1->0）时，增益值生效  [1]:值1表示配置tx，值0表示配置rx  [2]:值1表示配置天线1，值0表示配置天线0  [4:3]配置对象选择，  00, 衰减最小值 (仅tx)  01, 衰减最大值 (仅tx)  10, 增益最小值 (仅rx)  11, 增益最大值 (仅rx)  [31:16]表示射频板15~0，默认配置射频板0（bit16= 1）  注意，目前只存在tx衰减、rx增益，不存在其他配置（如tx增益）。 | ARM |

#### 3.2.2 改动

**无改动，略**

### 3.3 tdd\_fsm

#### 3.3.1 功能

根据st\_gen的信号，由状态机产生给PL GPIO的配置，以及给PS 的中断。

其中，

#### 3.3.2 状态机

①T1: tx att max(ps); rx gain max(ps);

②T2: rx att min(pl); ctl\_trx = 0(pl);

③T3: rx att max;(pl)

④T4: rx gain min(ps); tx\_att min(ps); ctl\_trx(pl) = 1;

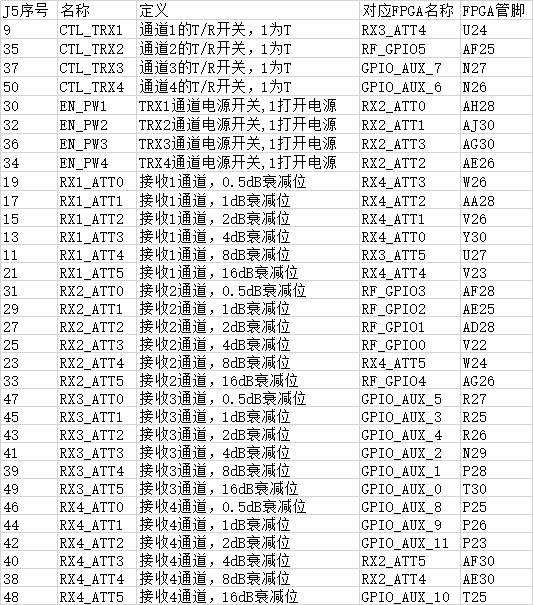
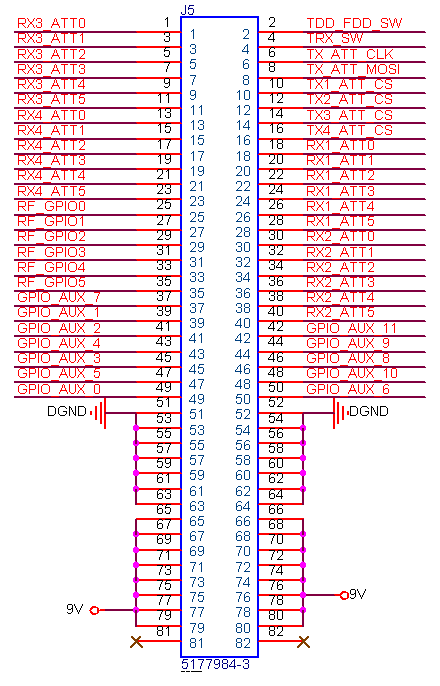


u->d 实际时序：

T3① <--间隔2个cycle--> 中断（T3②+T4②） <--180cycle--> T4①

#### 3.3.3 PL GPIO电路原理图及引脚列表

PL GPIO等引脚如下图，有①CTL\_TRX[1~4] ②RX[1~4]\_ATT[0~5]



#### 3.3.4 顶层引脚的处理

|  |  |  |
| --- | --- | --- |
| 名称 | 定义 | 改动 |
| 旧有GPIO，位宽32 |  | 去除 |
| CTL\_TRX[1~4] | T/R开关 | 使用原引脚，ru顶层ctl\_trx，直接放入RF\_GPIO |
| EN\_PW[1~4] | TRX通道电源开关 | 不改动。RU\_ARM设置，不需RU\_FPGA干预。  ru初始值0->1 |
| RX[1~4]\_ATT[0~5] | 接收通道衰减 | 使用原引脚，ru顶层rx[1~4]\_att，断开与ps连接，放入RF\_GPIO。fpga注意初始化该寄存器。  ru初始值0d63 |
|  |  |  |

#### 3.3.5 给PS的中断

给PS的中断，接口为tdd\_intr[1:0]，值的含义如下：

1：D->U

2：U->D

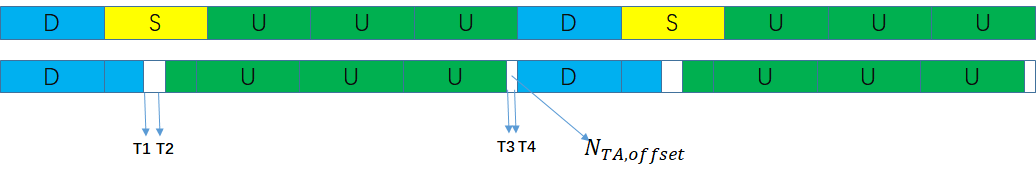
0\3:idle

#### 3.3.6 时序限制

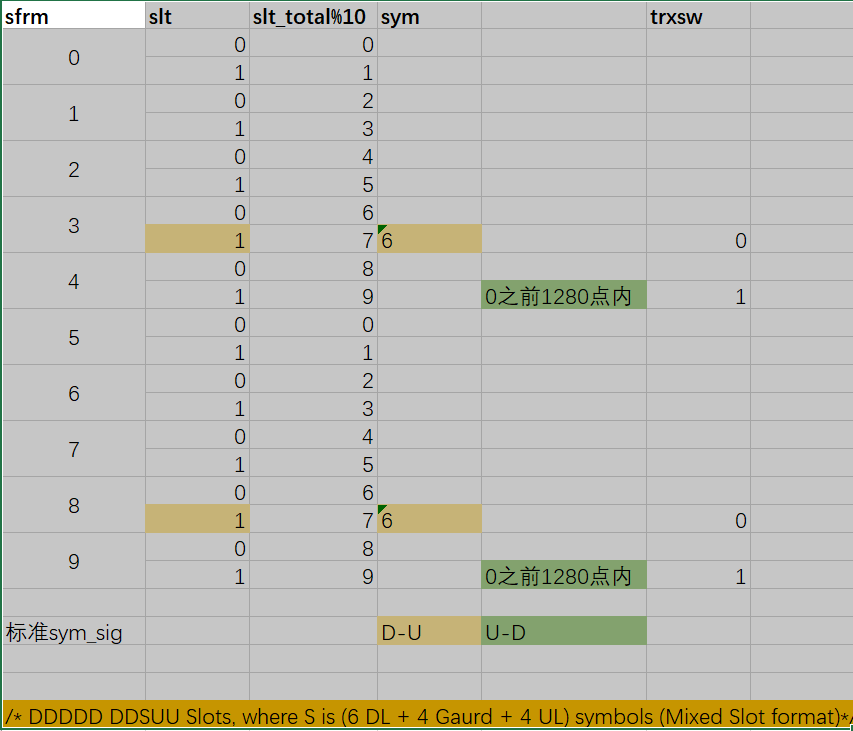
①ps spi配置时间

暂时无法测量，但应当在1ms以下

②tdd要求



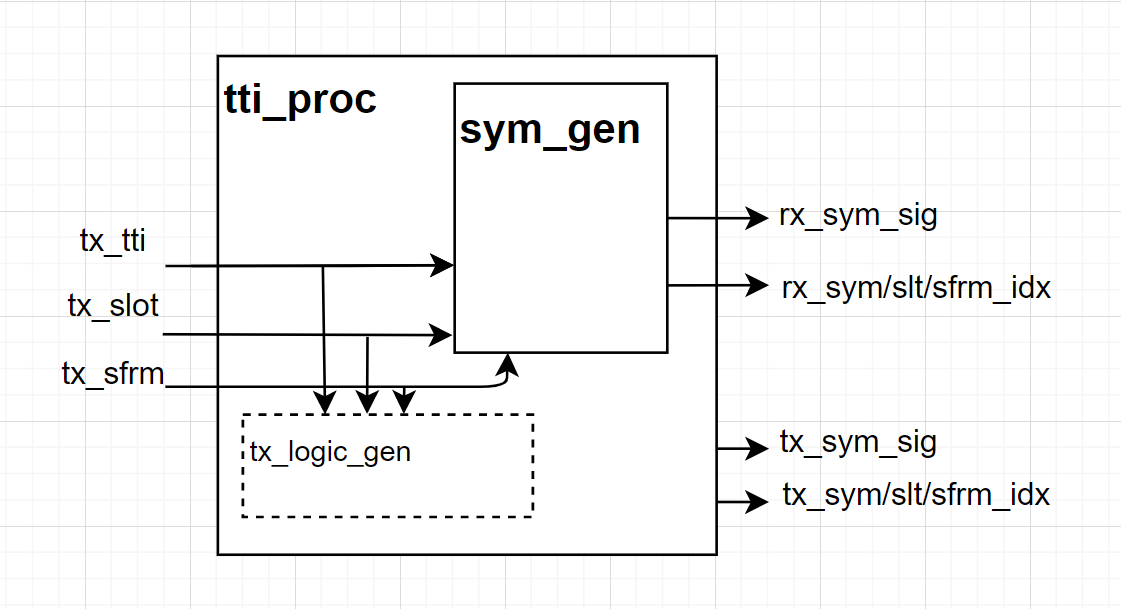
#### 3.3.7 切换位置



注意：表中0之前1280点，应为 “rx的sym d结束到tx的sym0间的1600个点”

### 3.4 tti\_proc

结构图如下：

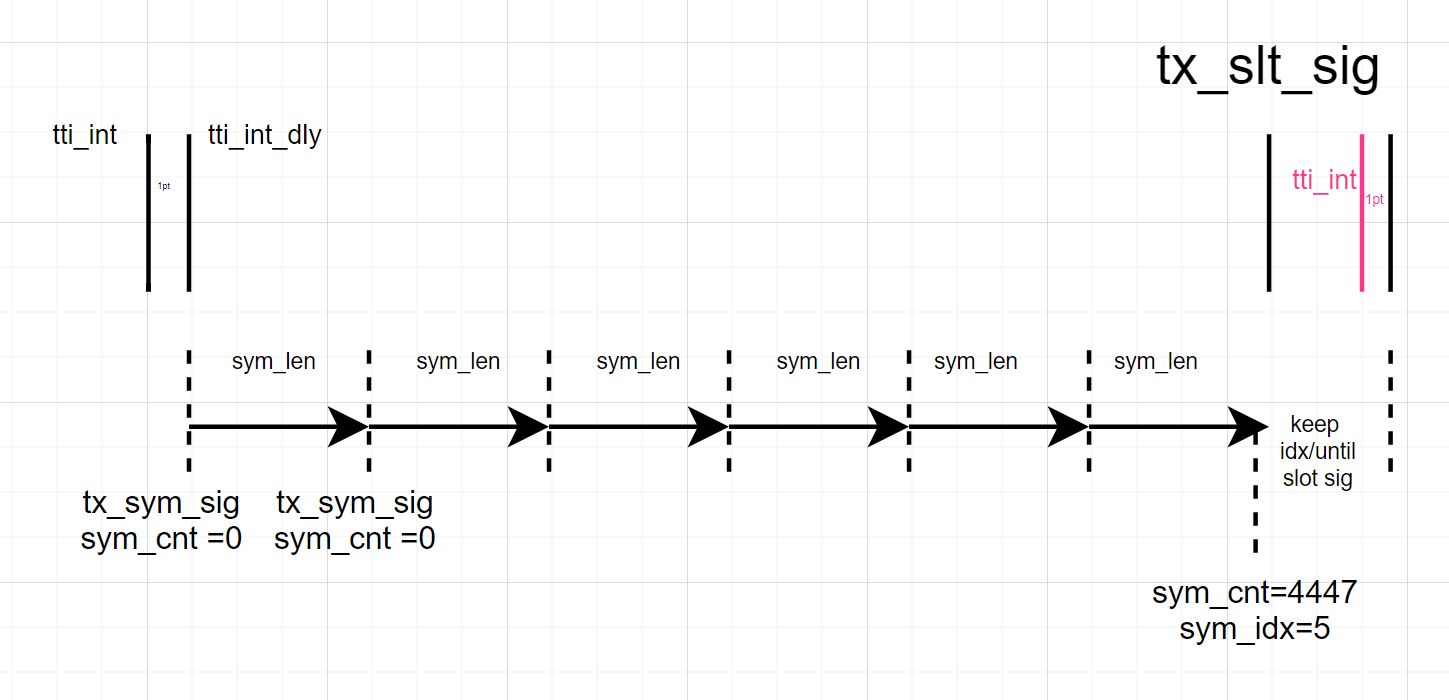


#### 3.4.1 内部流程

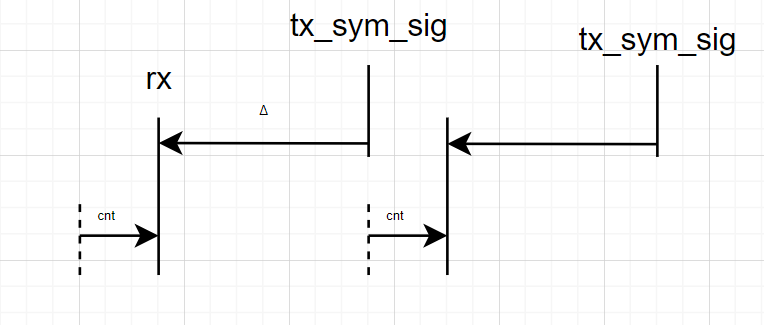
①根据输入的tti\_int(tx\_slot\_sig)产生 tx\_sym\_sig及tx\_sym\slt\sfrm\frm\_idx

②根据tx\_sym\_sig/idx 产生 rx\_sym\_sig及rx\_sym\slt\sfrm\frm\_idx

#### 3.4.2 tx\_sym\_sig产生



#### 3.4.3 rx\_sym\_sig的产生



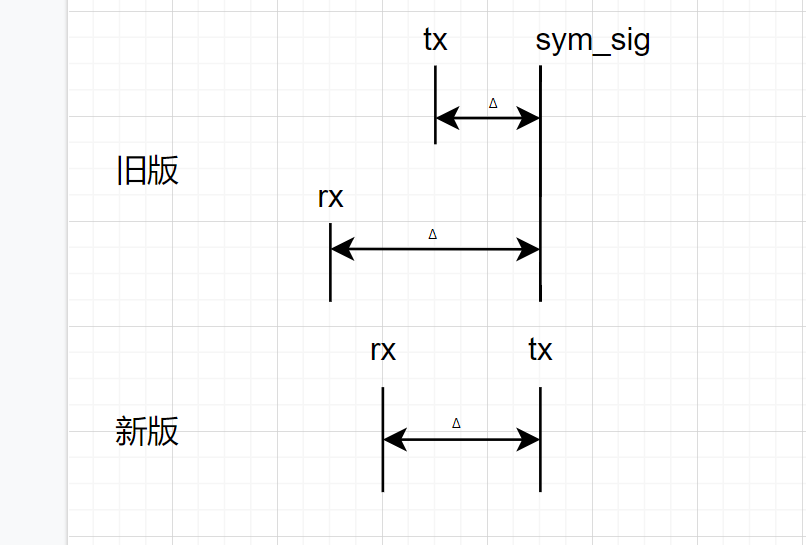
#### 3.4.4 ta模式变动

旧有：

Δrx-Δtx=Δ(tx-rx)

当前：

Δrx=Δ(tx-rx)



#### 3.4.5 异常保护

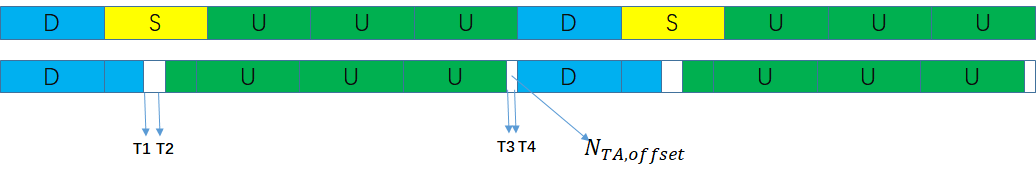
根据从ecpri传递的tti\_int的抖动，需要对时隙正向（间隔>61440）、反向（间隔<61440）抖动进行异常保护。

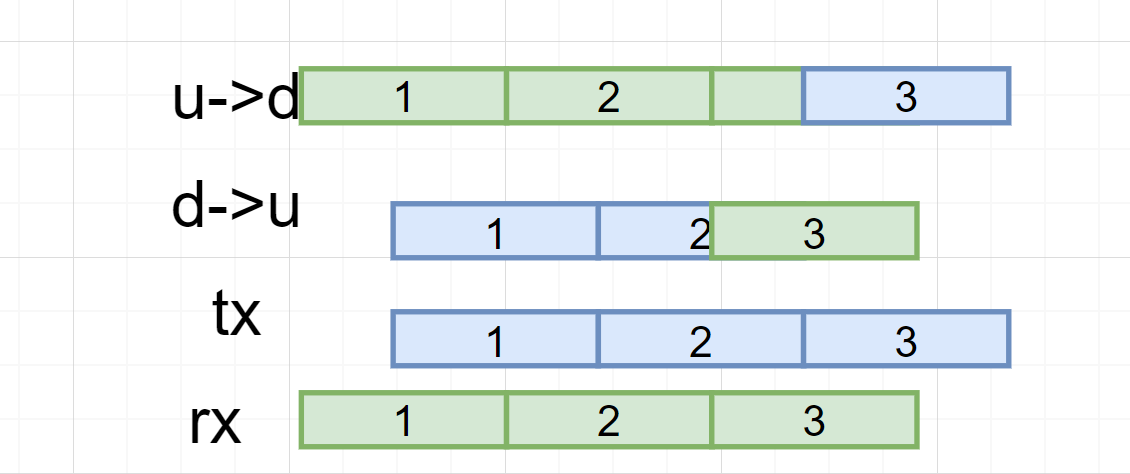
①正向的裕量

ecpri恢复的slot可能正向抖动，len\_slot > 61440，D->U参考tx\_tti，U->D参考rx\_tti，相当于增大了调整的时间裕量，

②正向的异常保护：

* slt\_sample\_cnt 的清零由tx\_slt\_sig(tx\_tti)完成，当slt\_len > 61440时，slt/sym\_idx保持
* 使用tx\_slt\_sig(tx\_tti)代替第一拍的sym\_sig, tx\_sym\_sig = slt\_sig | other\_sym\_sig





#### 3.4.6 部分信号

（同其他模块约定如下）

输入：

tti\_int

tti\_slot[3:0]

tti\_subfrm[3:0]

输出：

tx\_frm\_int

tx\_sfrm\_int

tx\_slot\_int

tx\_sym\_int

rx\_frm\_int

rx\_sfrm\_int

rx\_slot\_int

rx\_sym\_int

rx\_frm\_idx[9:0]

rx\_sfrm\_idx[3:0]

rx\_slot\_idx[3:0]

rx \_sym\_idx[3:0]

tx\_frm\_idx[9:0]

tx\_sfrm\_idx[3:0]

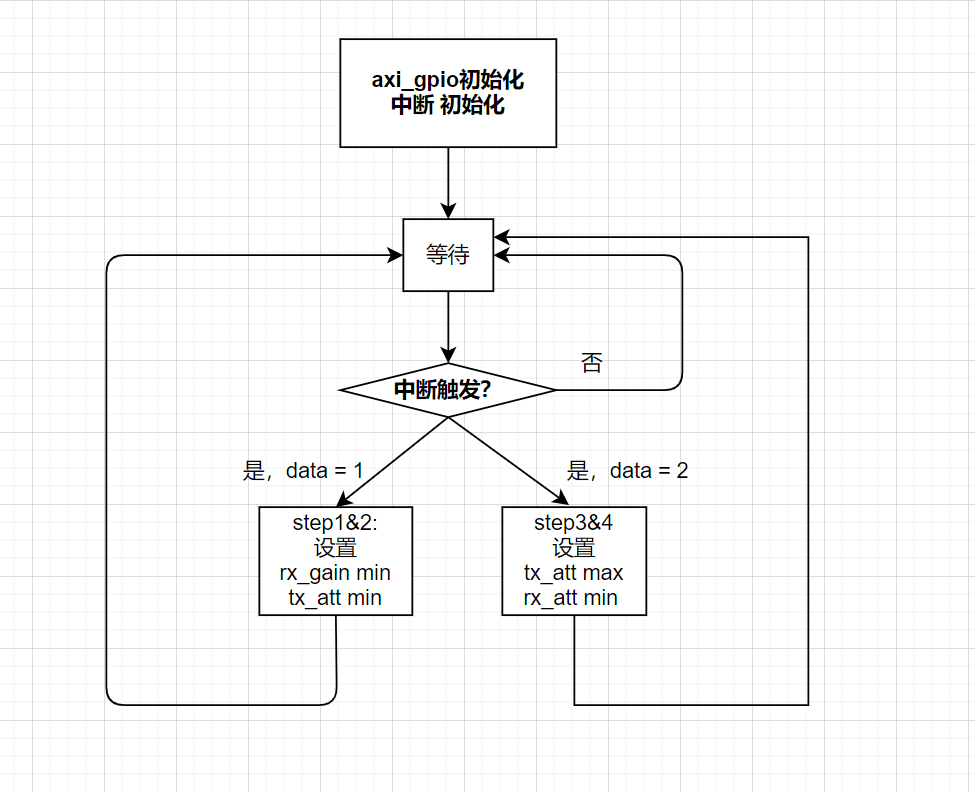
tx\_slot\_idx[3:0]

tx\_sym\_idx[3:0]

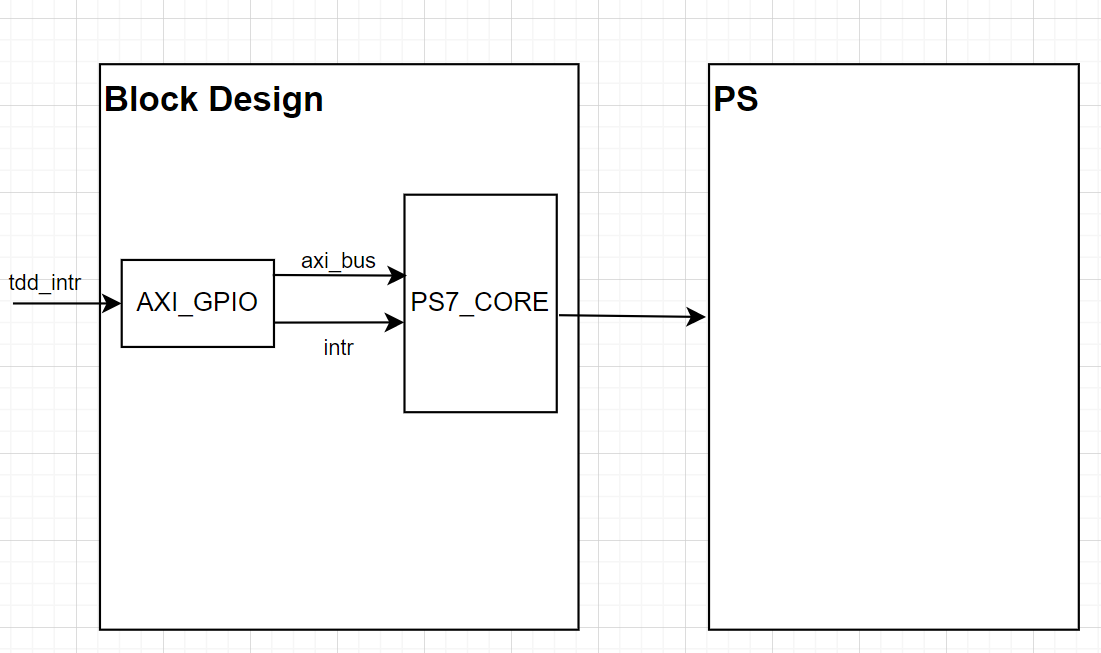
## 4. PS部分

### 4.1 说明

#### 4.1.1流程图



#### 4.1.2 结构图



### 4.2 控制方法

①上电时， x86通过RAM配置PS

②根据状态机，PS获取中断

③PS调用TDD函数

### 4.3 API调用

当PS获取到PL中断，调用下述函数，最后清除中断

* rx增益

if ((retval = MYKONOS\_setRx1ManualGain(device, 255)) != MYKONOS\_ERR\_OK) {

return retval;

}

if ((retval = MYKONOS\_setRx2ManualGain(device, 255)) != MYKONOS\_ERR\_OK) {

return retval;

}

* tx衰减

//Mykonos Initialize attenuations

if ((retval = MYKONOS\_setTx1Attenuation(device, 30000)) != MYKONOS\_ERR\_OK) { //range=0~41950

return retval;

}

if ((retval = MYKONOS\_setTx2Attenuation(device, 30000)) != MYKONOS\_ERR\_OK) { //range=0~41950

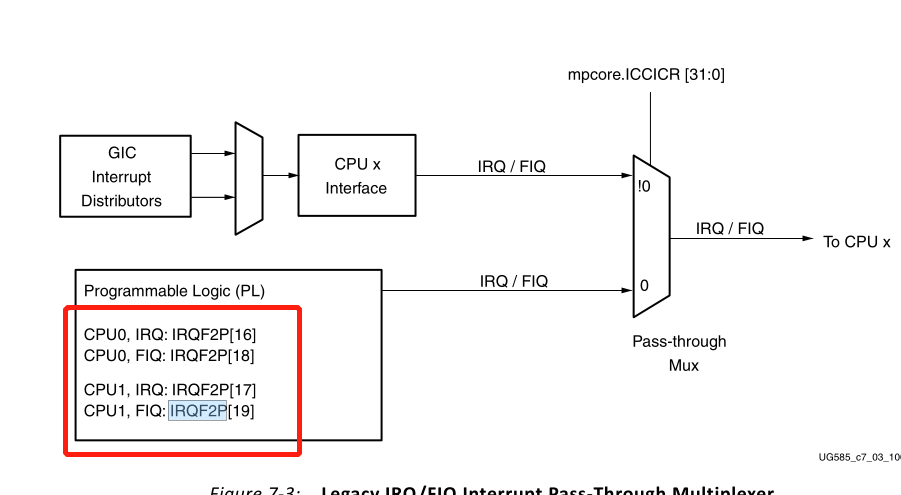
return retval;

注意：需要配置衰减/增益控制模式

### 4.4 中断设置（暂时使用IRQ）

使用FIQ

|  |  |
| --- | --- |
| 名称 | 功能 |
| IRQF2P[16] | nFIQ，对T1/T2进行响应。 |
| IRQF2P[17] | nFIQ，对T3/T4进行响应。 |



## 5.测试记录

### 5.1 PS测试(在板）

方法：pl例化vio, 控制ps，观察输出的波形有无（tx功率大小）  
2bit：00-idle, 01-d>u, 10:u>d,11:null

测试结果：01，tx无输出，10，tx有输出

### 5.2 PL测试（仿真）

#### 5.2.1 测例：tc001001

#### ①方法：

仿真PL，观察pl信号输出是否符合tdd切换需求，工程见repo\fpga\0.sim\v3\tdd\_sw\tdd\_sw\_ecpri

#### ②配置

* 配置nr的sfn，2slt，14sym， slt\_len61440, sym\_len4096.
* 配置tdd为 DDDDDDDSUU
* 配置特殊时隙的符号分配{8'b0101\_0101,8'b1010\_1010, 12'b0000\_0000\_0000 };

//sym 13~10:ul,sym9~6,gd;sym5~0,dl；sym fmt: 00-dl 01 ul 10:guard/flex

#### ③预期：

* 切换位置见3.6节
* 切换动作见3.1， 摘录如下：

//T1: tx att max(ps); rx gain max(ps);

//T2: rx att min(pl); ctl\_trx = 0(pl);

//T3: rx att max;(pl)

//T4: rx gain min(ps); tx\_att min(ps); ctl\_trx(pl) = 1;

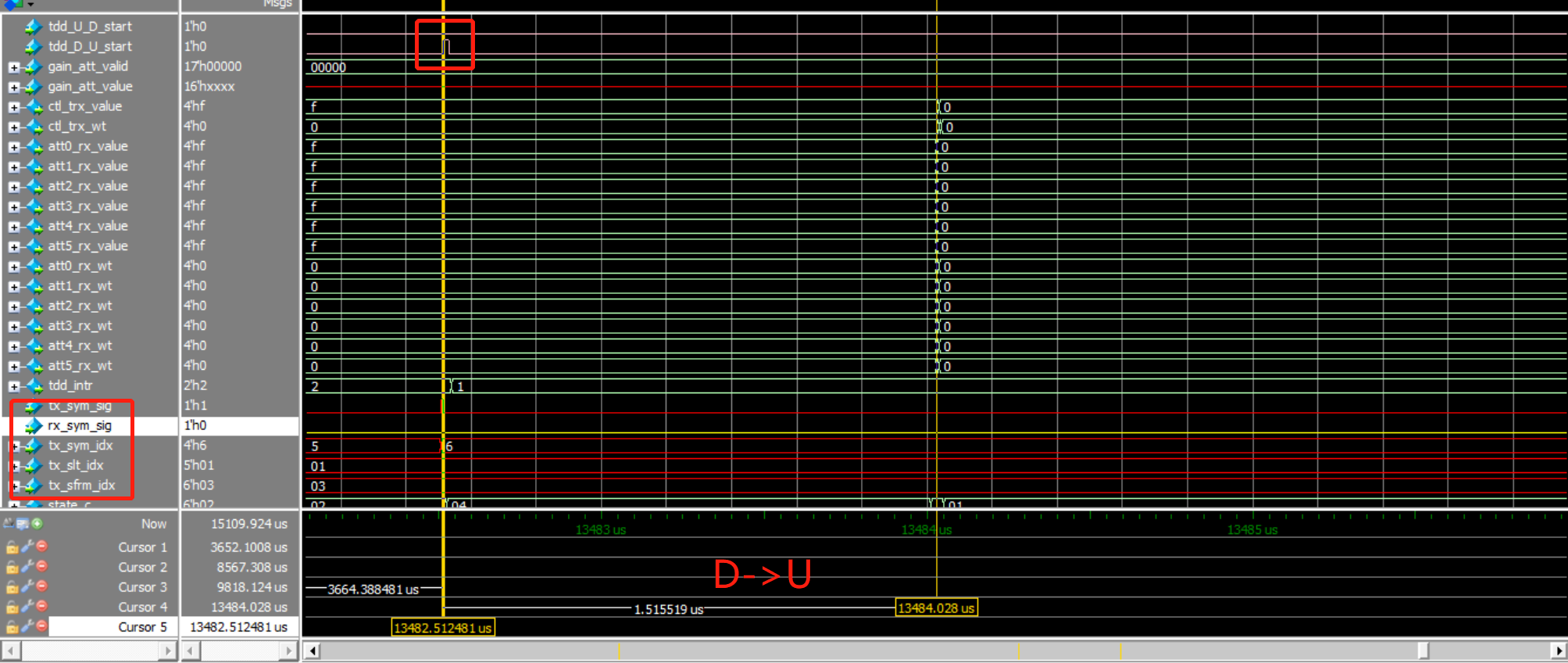
#### ④结果

* D转U

发生位置：tx sfrm3 slt1 sym6 -》符合

发生时间：1.53us，小于1600点长度约13us

动作：tdd\_intr进行d->u设置值为1, fpga rx gpio att 最小，ctl\_trx切换0（rx)

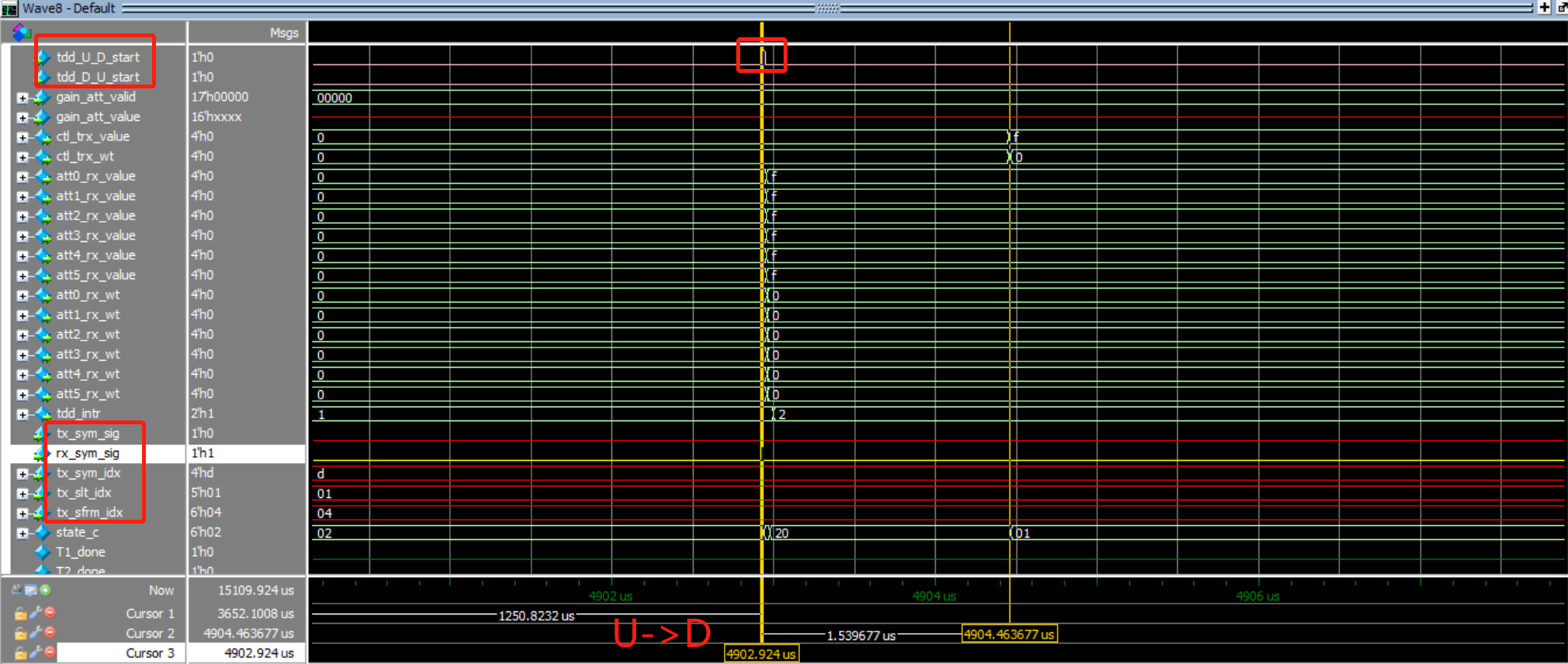


* U转D，

发生位置：tx sfrm4 slt1 symd -》符合

发生时间：1.53us，小于1sym长度约33us

动作：fpga rx gpio att 最大，tdd\_intr进行u->d设置2，ctl\_trx切换1（tx)

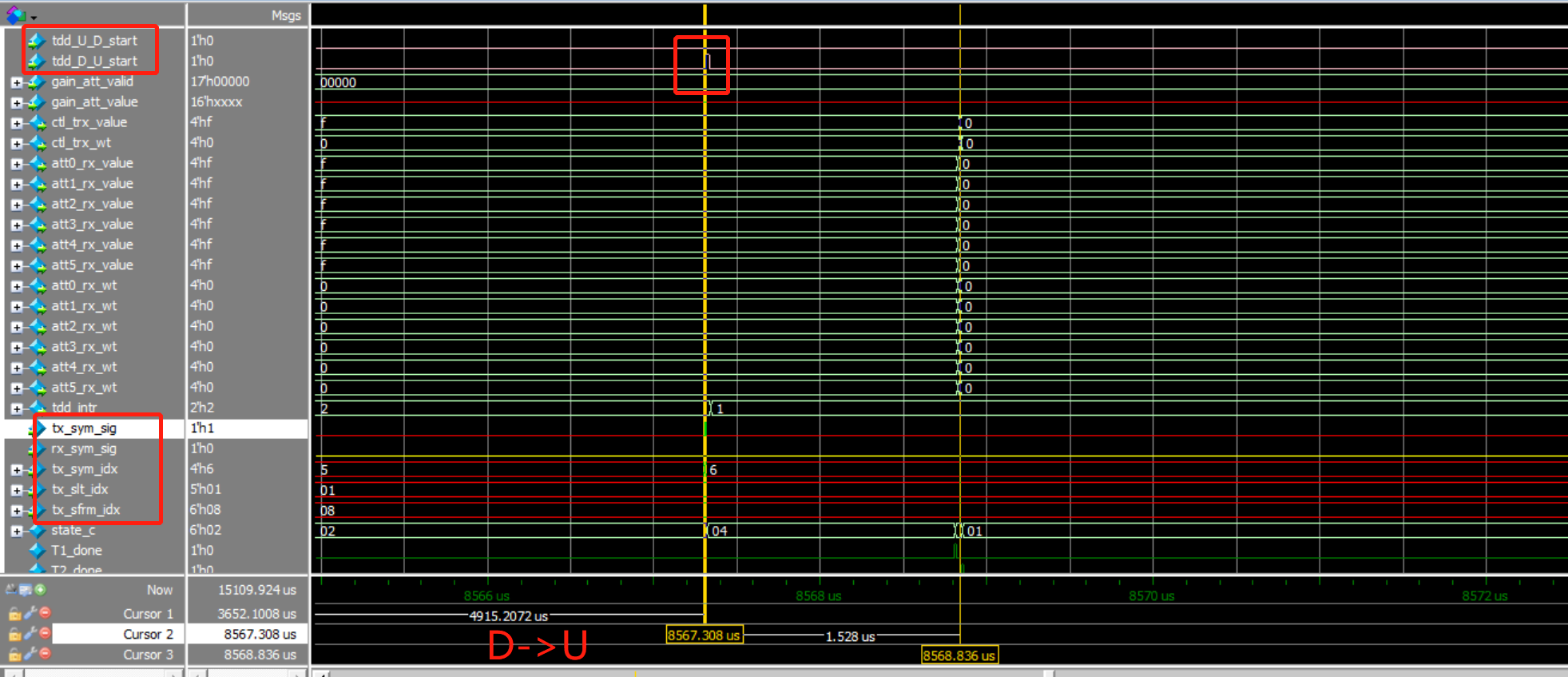


* D转U

发生位置：tx sfrm8 slt1 sym6 -》符合

发生时间：1.53us，小于1600点长度约13us

动作：tdd\_intr进行d->u设置1, fpga rx gpio att 最小，ctl\_trx切换0（rx)

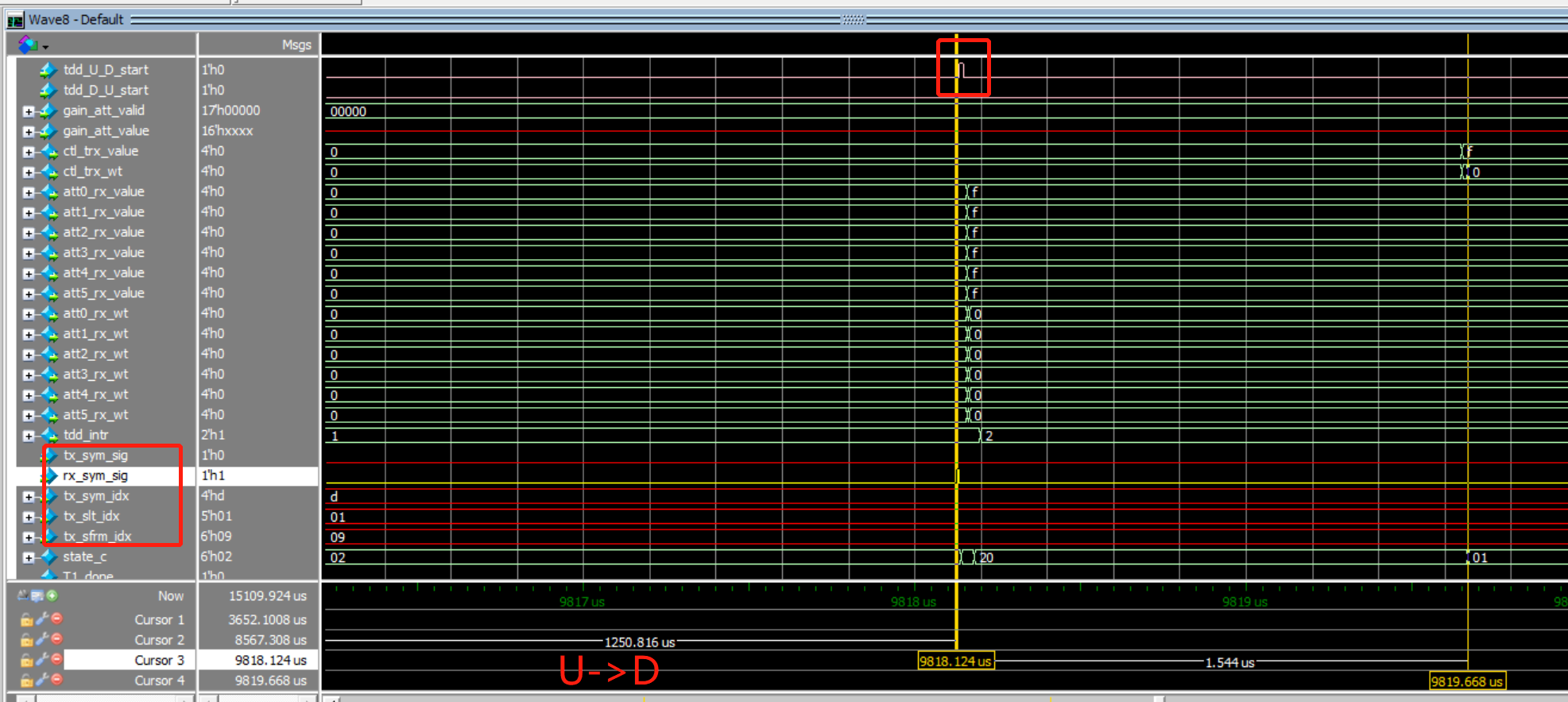


* U转D

发生位置：tx sfrm9 slt1 symd -》符合

发生时间：1.53us，小于1sym长度约33us

动作：fpga rx gpio att 最大，tdd\_intr进行u->d设置2，ctl\_trx切换1（tx)



#### 5.2.2 测例：tc001002

#### ①方法：

仿真PL，观察pl信号输出是否符合tdd切换需求，工程见repo\fpga\0.sim\v3\tdd\_sw\tdd\_sw\_ecpri

#### ②配置

* 配置nr的sfn，2slt，14sym， slt\_len61440, sym\_len4096.
* 配置tdd为 DDSUU UUUUU (slt周期10，特殊时隙位置2）
* 配置特殊时隙的符号分配{8'b0101\_0101,8'b1010\_1010, 12'b0000\_0000\_0000 };

//sym 13~10:ul,sym9~6,gd;sym5~0,dl；sym fmt: 00-dl 01 ul 10:guard/flex

#### ③预期：

* 切换位置见3.6节
* 切换动作见3.1， 摘录如下：

//T1: tx att max(ps); rx gain max(ps);

//T2: rx att min(pl); ctl\_trx = 0(pl);

//T3: rx att max;(pl)

//T4: rx gain min(ps); tx\_att min(ps); ctl\_trx(pl) = 1;

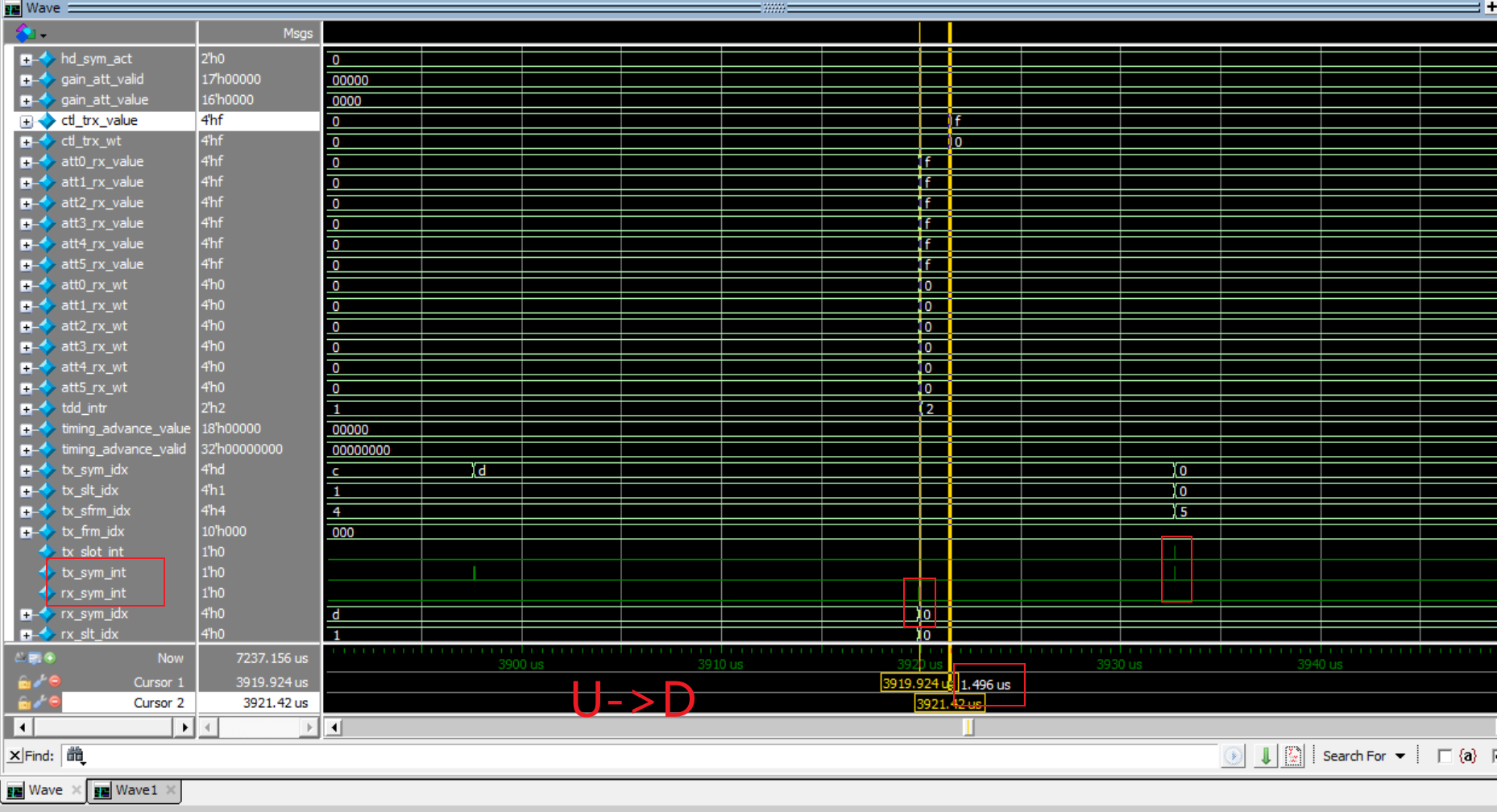
#### ④结果

* U转D，

发生位置：tx sfrm5 slt0 sym0前1600点 -》符合

发生时间：1.496s，小于1sym长度约33us

动作：fpga rx gpio att 最大，tdd\_intr进行u->d设置2，ctl\_trx切换1（tx)

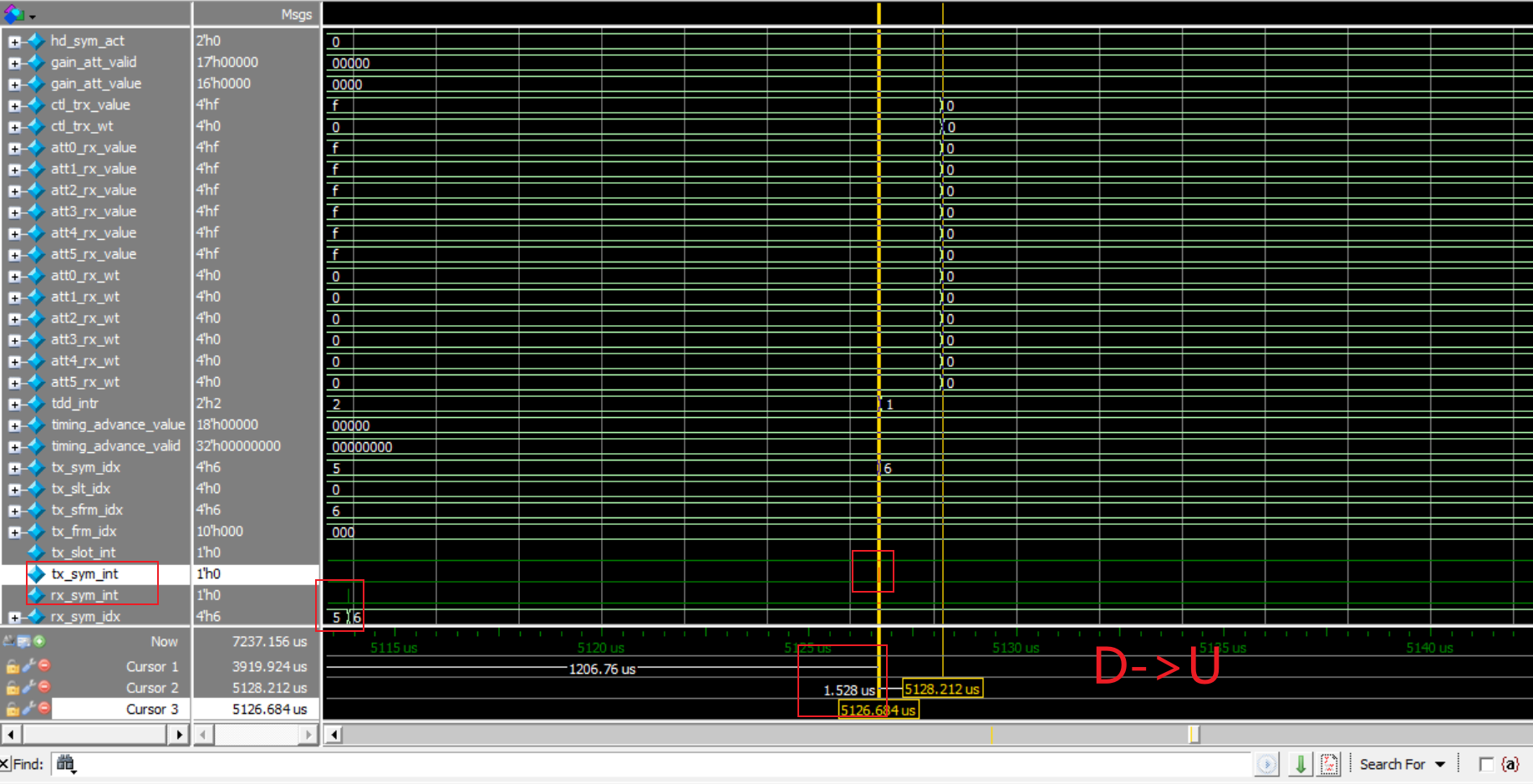


* D转U

发生位置：tx sfrm6 slt0 sym6 -》符合

发生时间：1.528us，小于1600点长度约13us

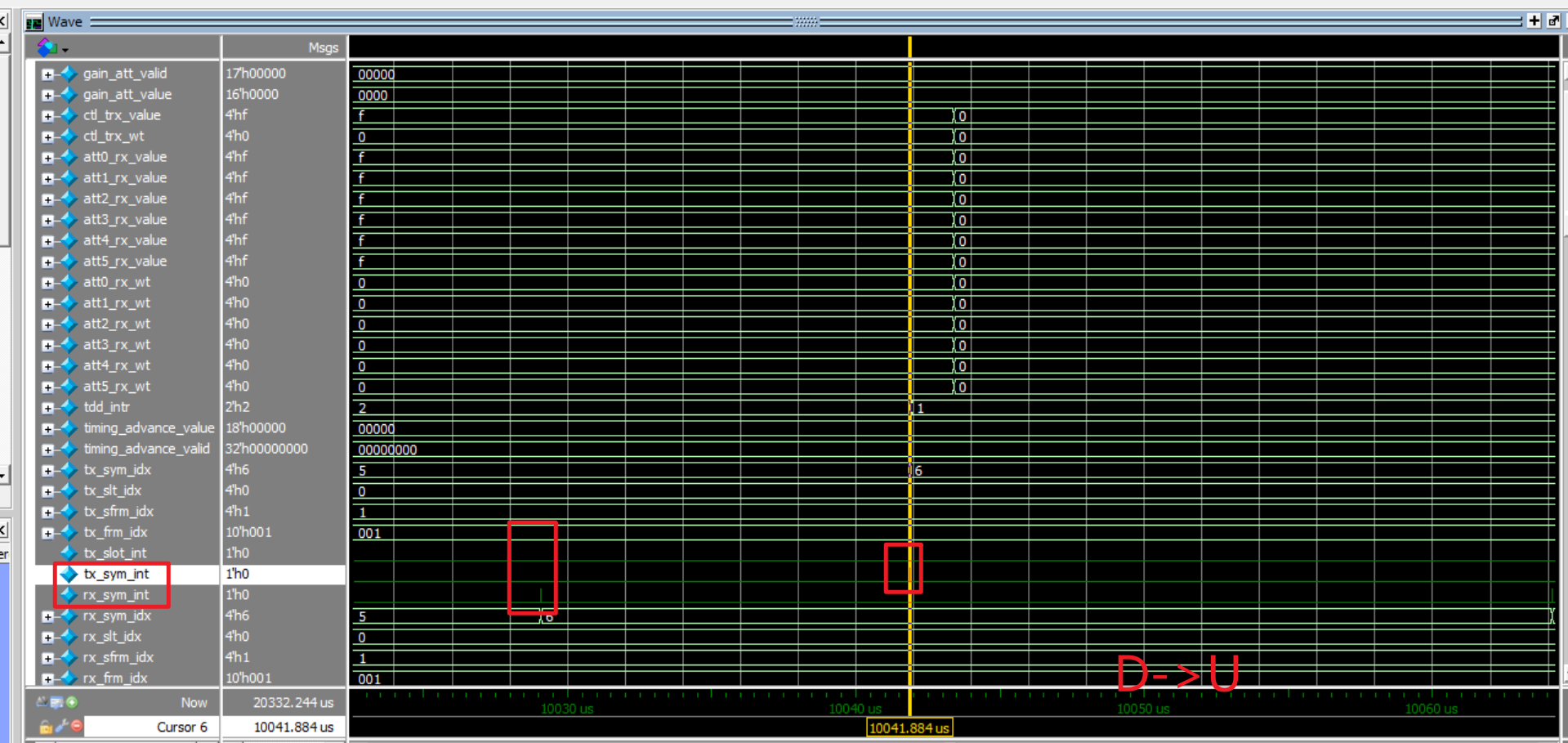
动作：tdd\_intr进行d->u设置1, fpga rx gpio att 最小，ctl\_trx切换0（rx)



* D转U

发生位置：tx sfrm1 slt0 sym0 -》符合

其余同上



* U转D

发生位置：tx sfrm0 slt0 sym0前1600点 -》符合

其余同上



### 5.3 联合测试（在板）

#### ①出版本

合并模块，连接时钟、复位、gpio、中断

pl增加ila，观察tx sfn，rx sfn， value配置等，确认在板的切换情况

pl bd增加反向gpio，用于ps反馈中断完成信号，统计实际切换时间

#### ②结果

操作：ila对关键切换点进行采数，确认tx/rx功率

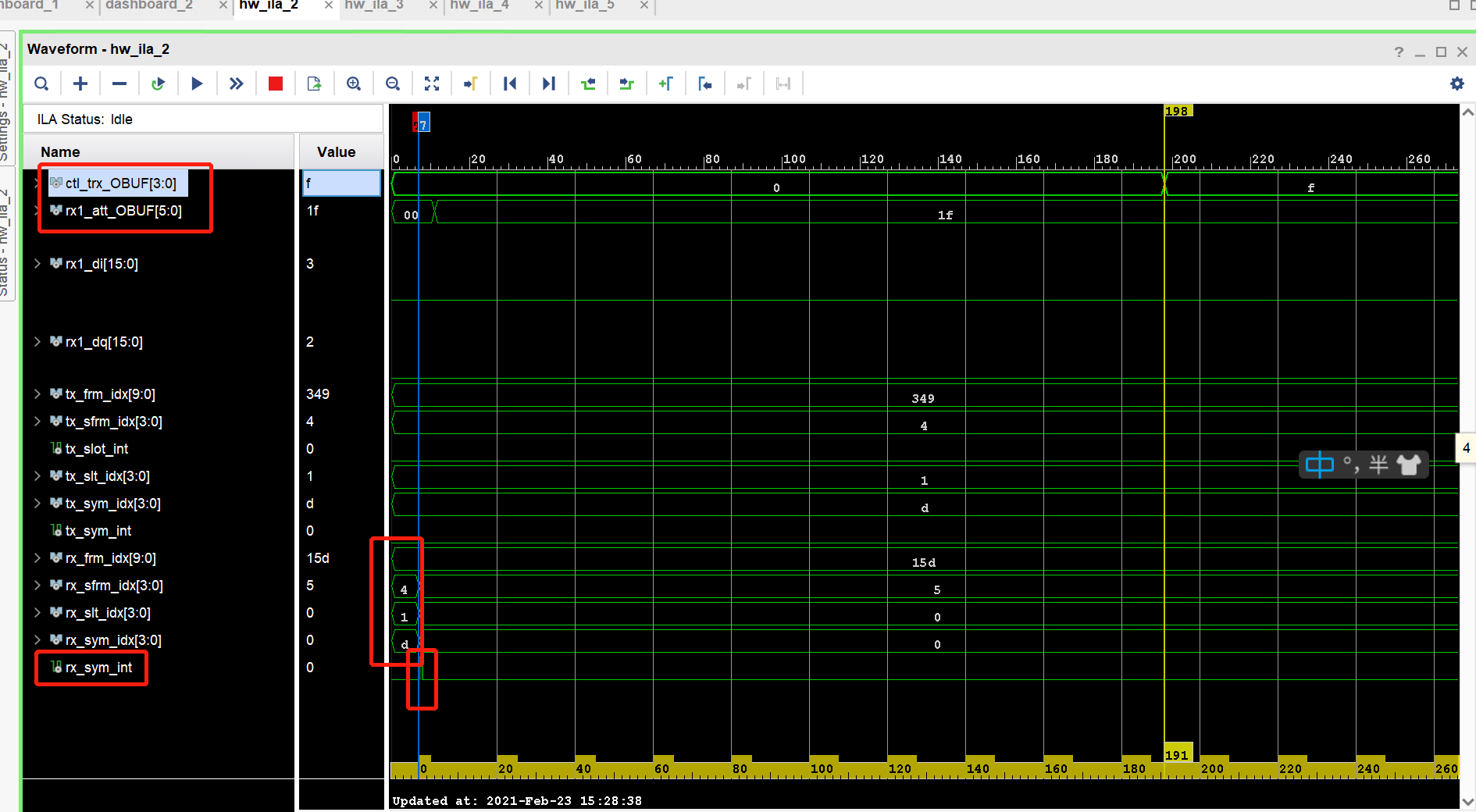
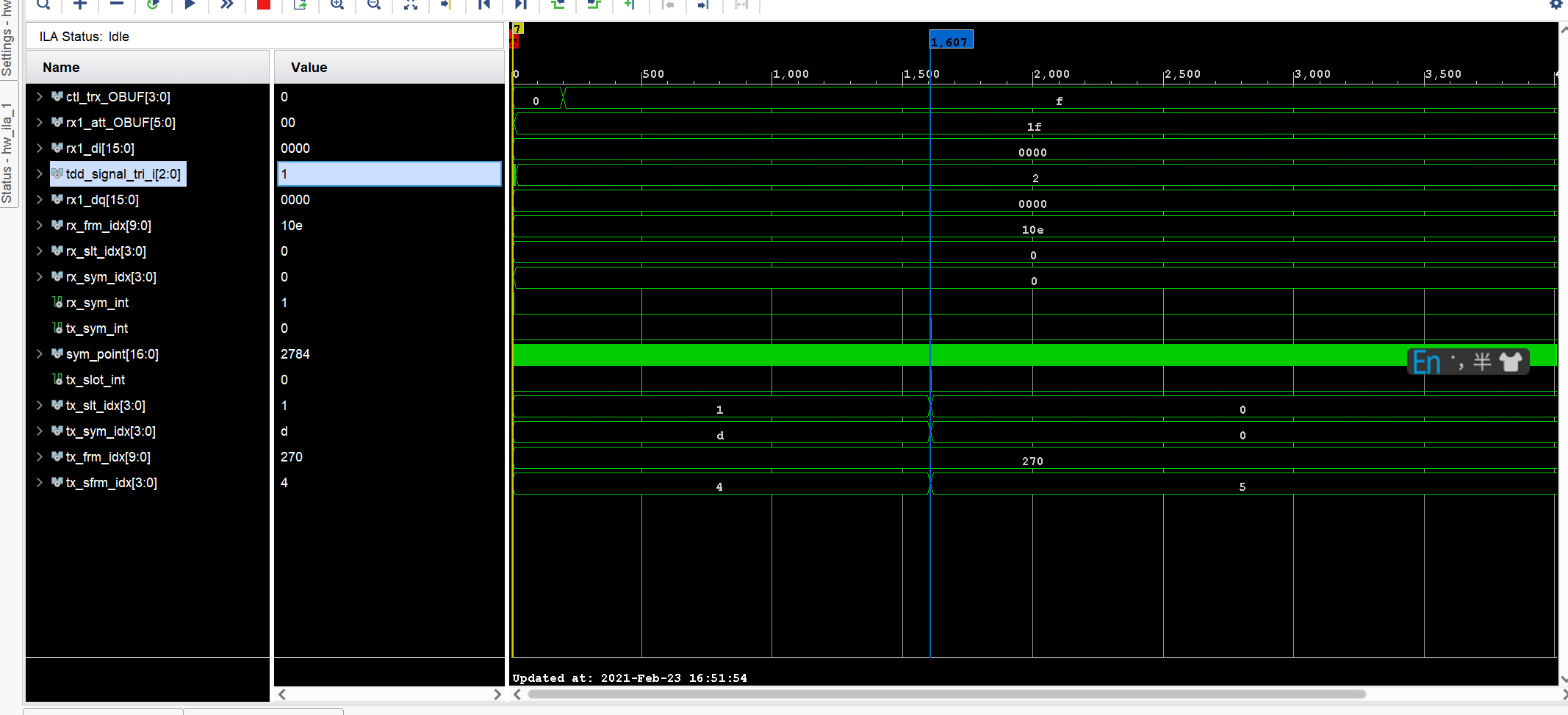
rx 线缆功率-30dbm，过衰减约6dbm，入射频功率约-36dbm，对应rx\_dq/di的幅值为3500

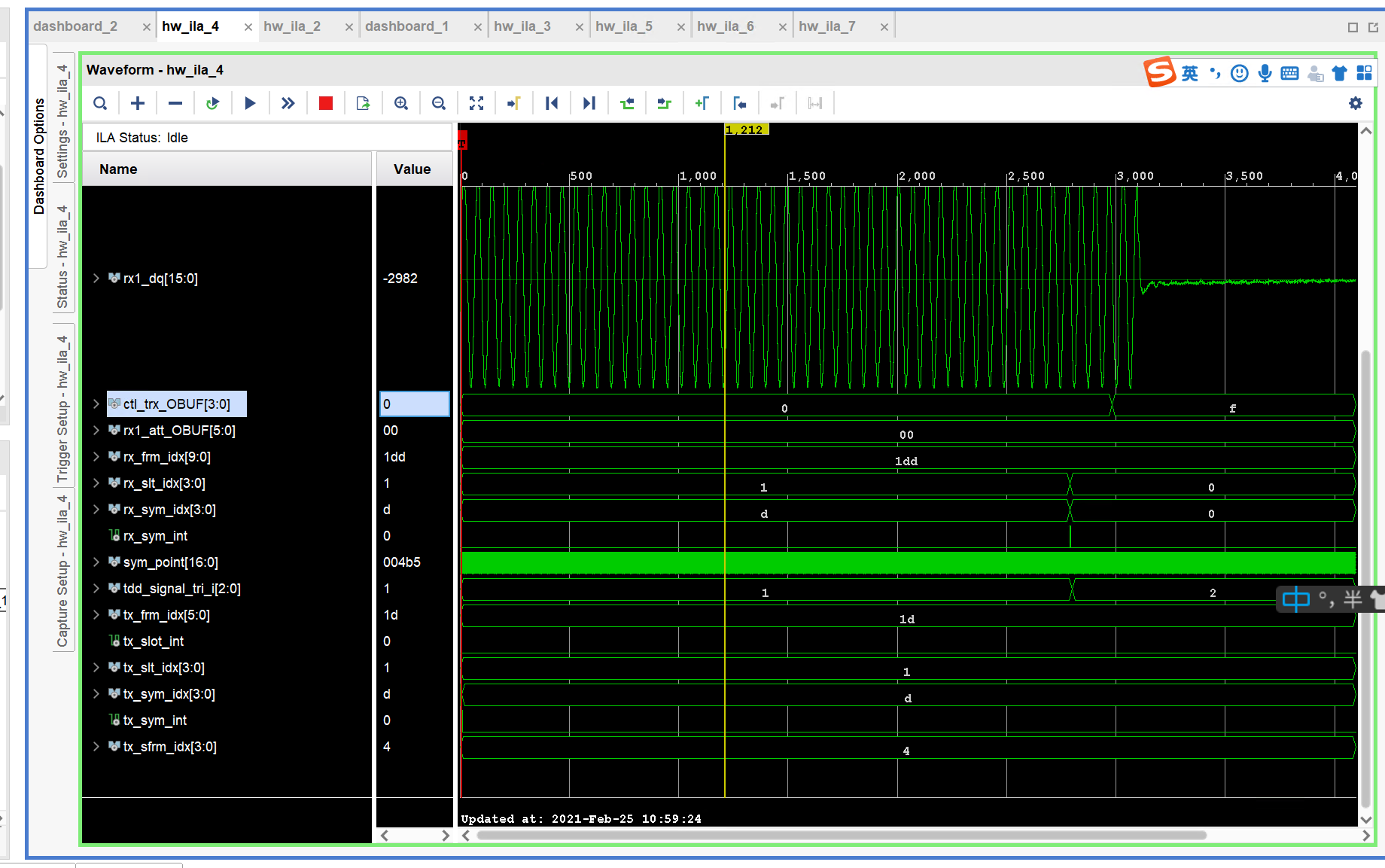
* 采数1-U->D

位置：tx sfrm,slt,sym = {4,1,d}

时间：191点≈1.554us,符合切换时间要求

动作：fpga rx gpio att 最大，tdd\_intr进行u->d设置2，ctl\_trx切换1（tx)

 补充intr中断

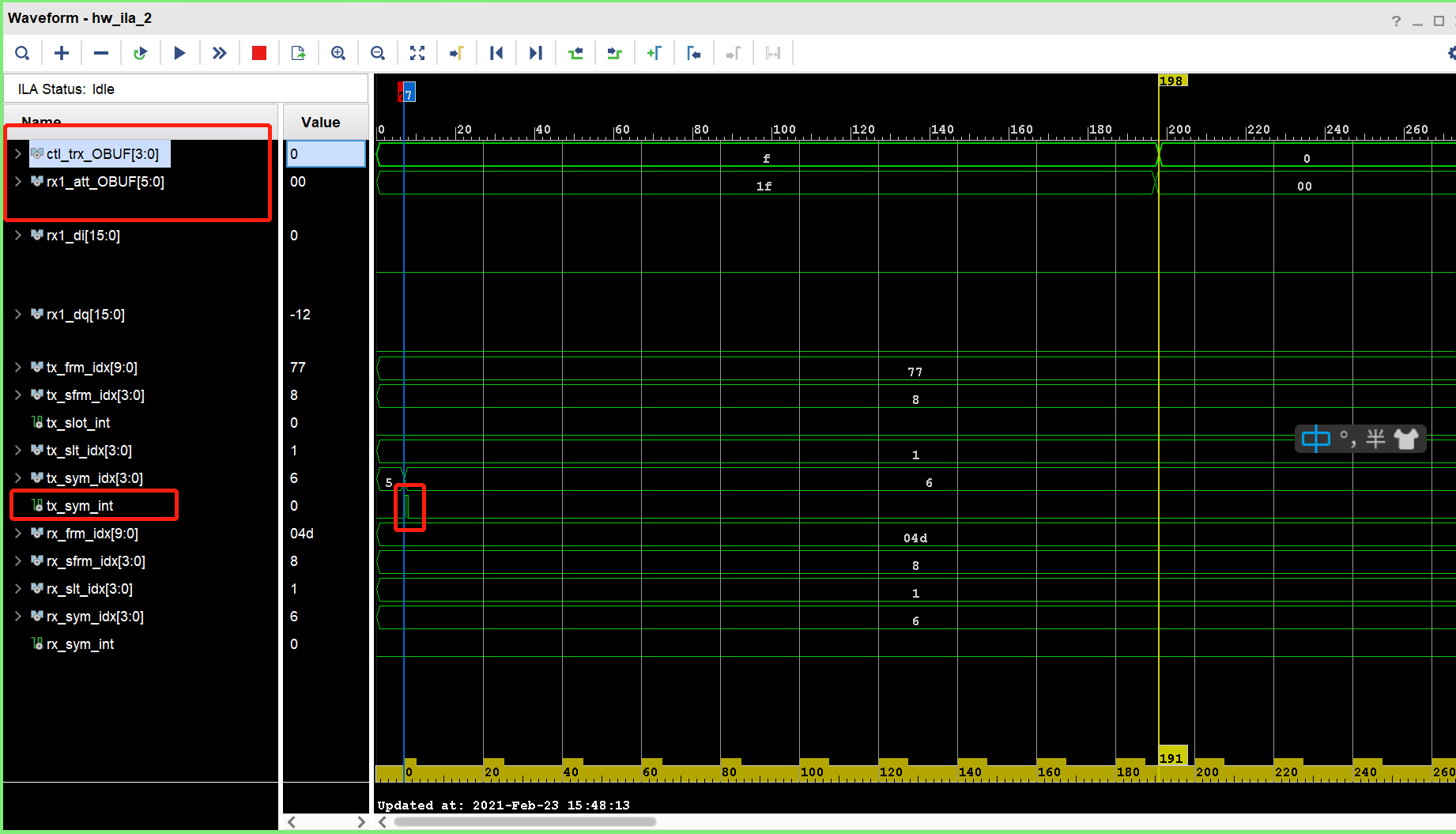
补充接收波形

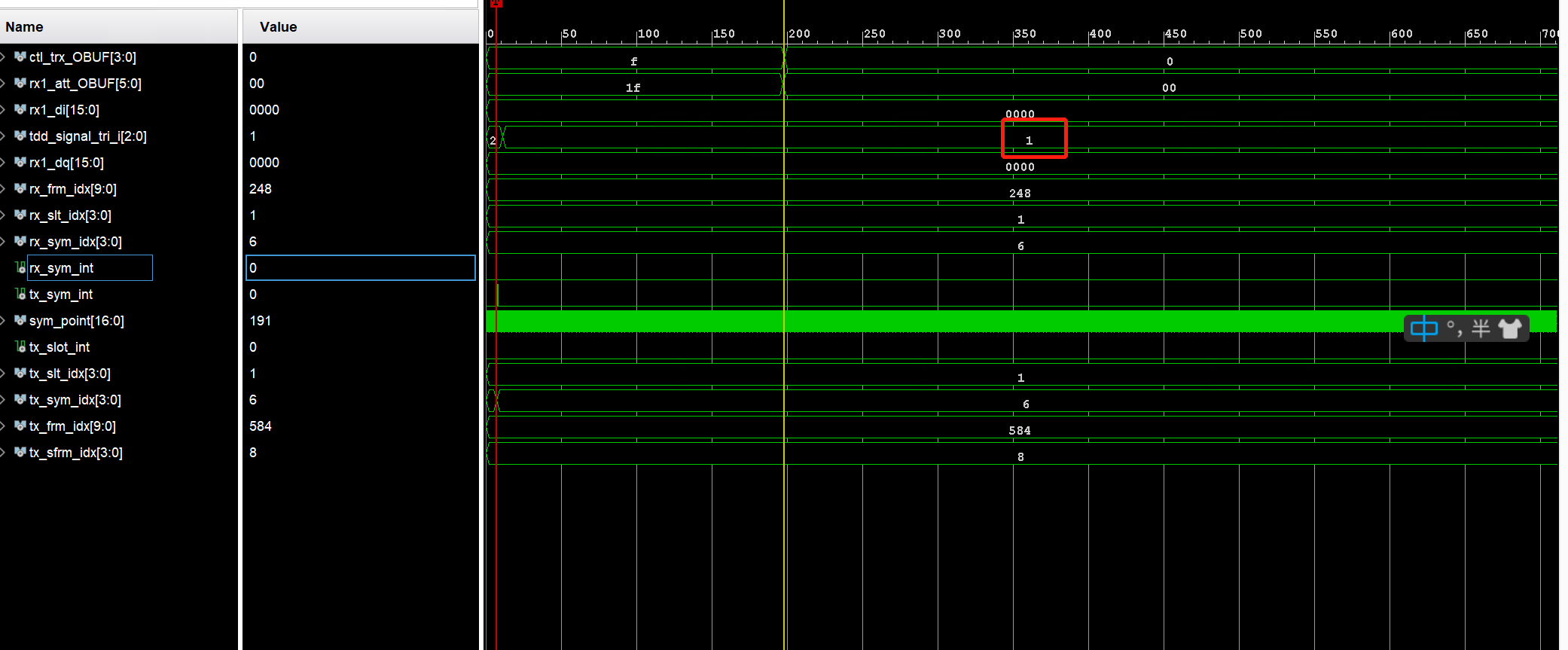
* 采数2 D->U

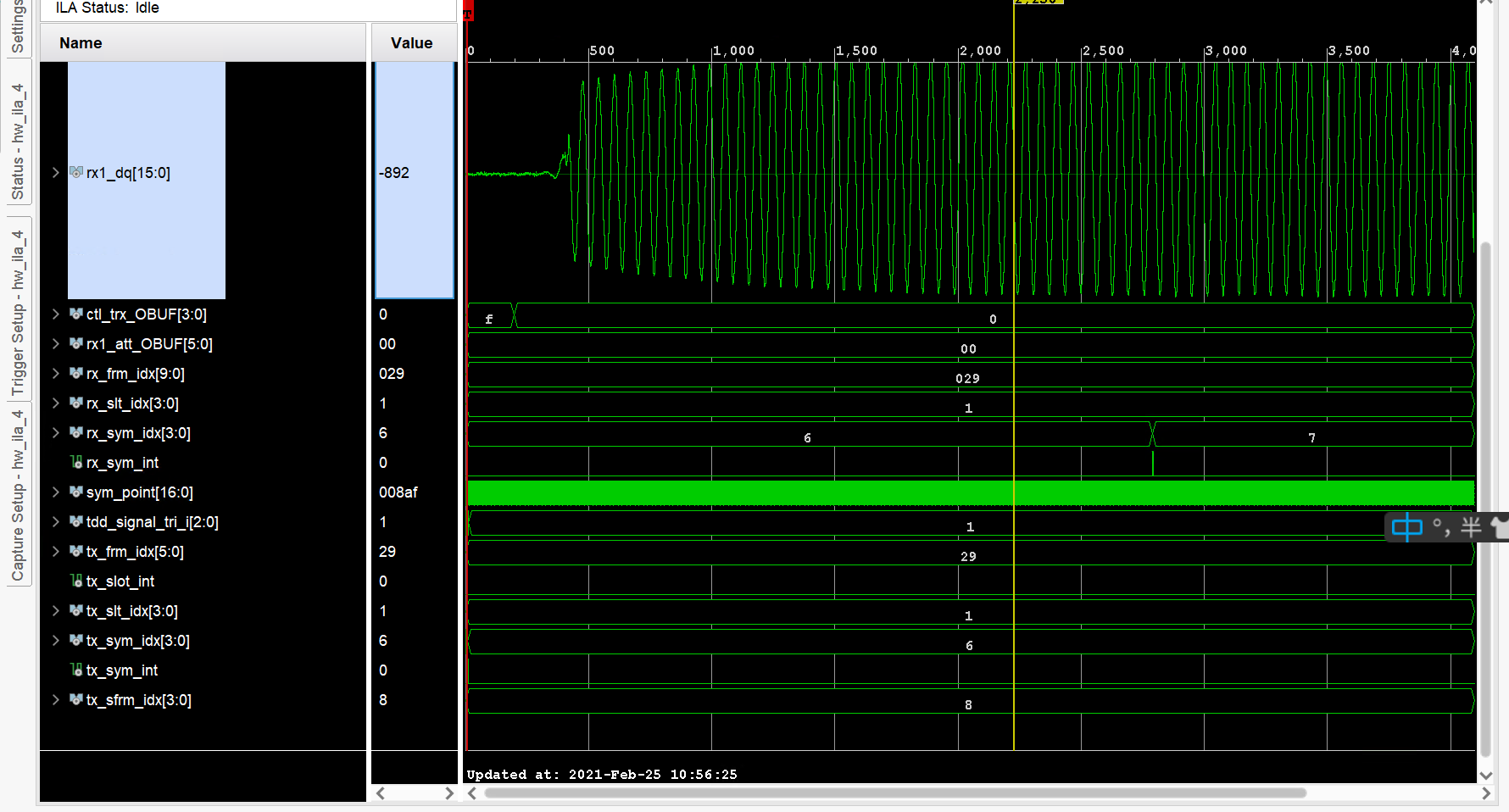
发生位置：tx sfrm8 slt1 sym6 -》符合

发生时间：1.53us，小于1600点长度约13us

动作：tdd\_intr进行d->u设置1, fpga rx gpio att 最小，ctl\_trx切换0（rx)



**补充中断**

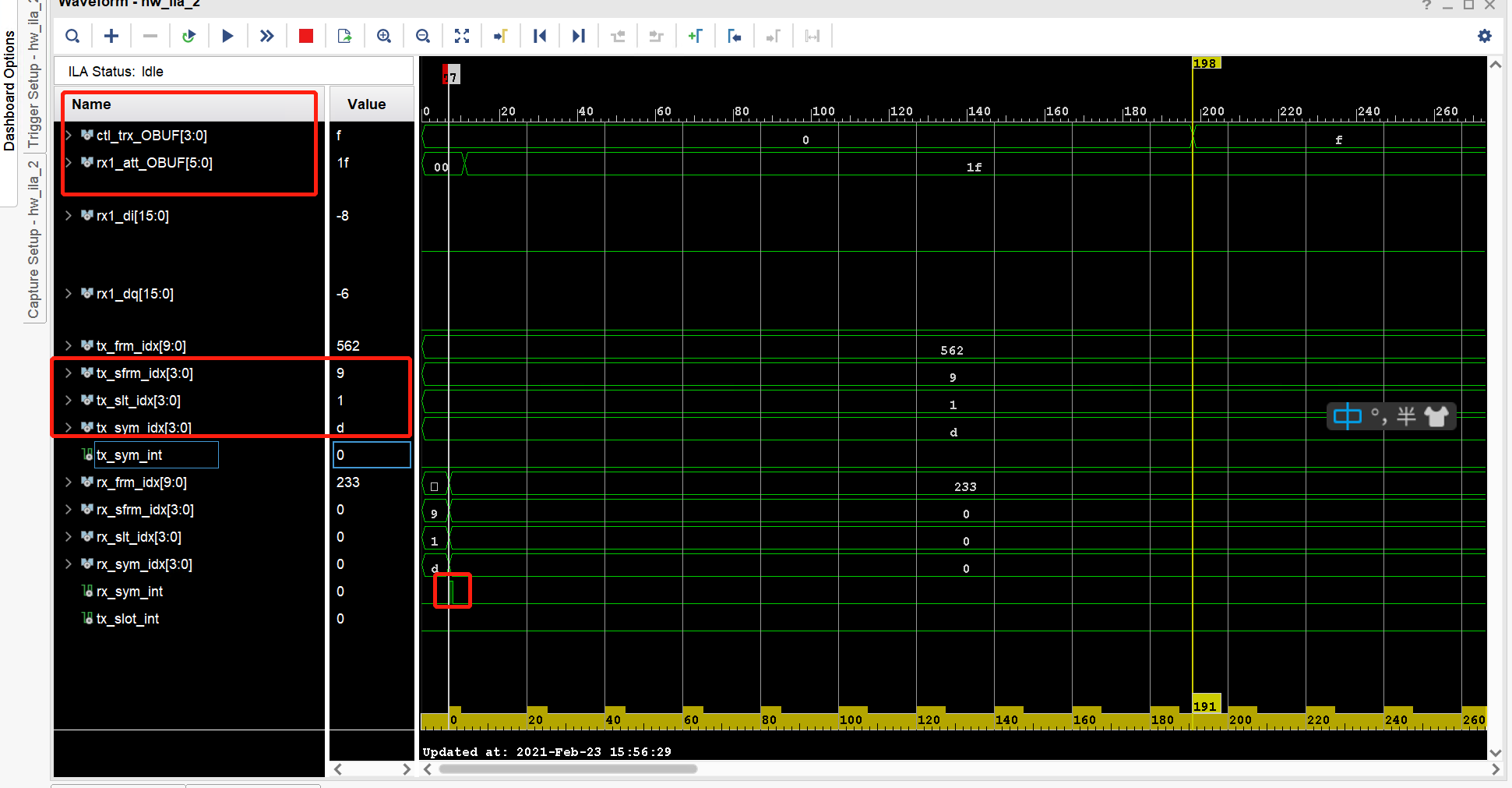
**补充rx接收单音波形**

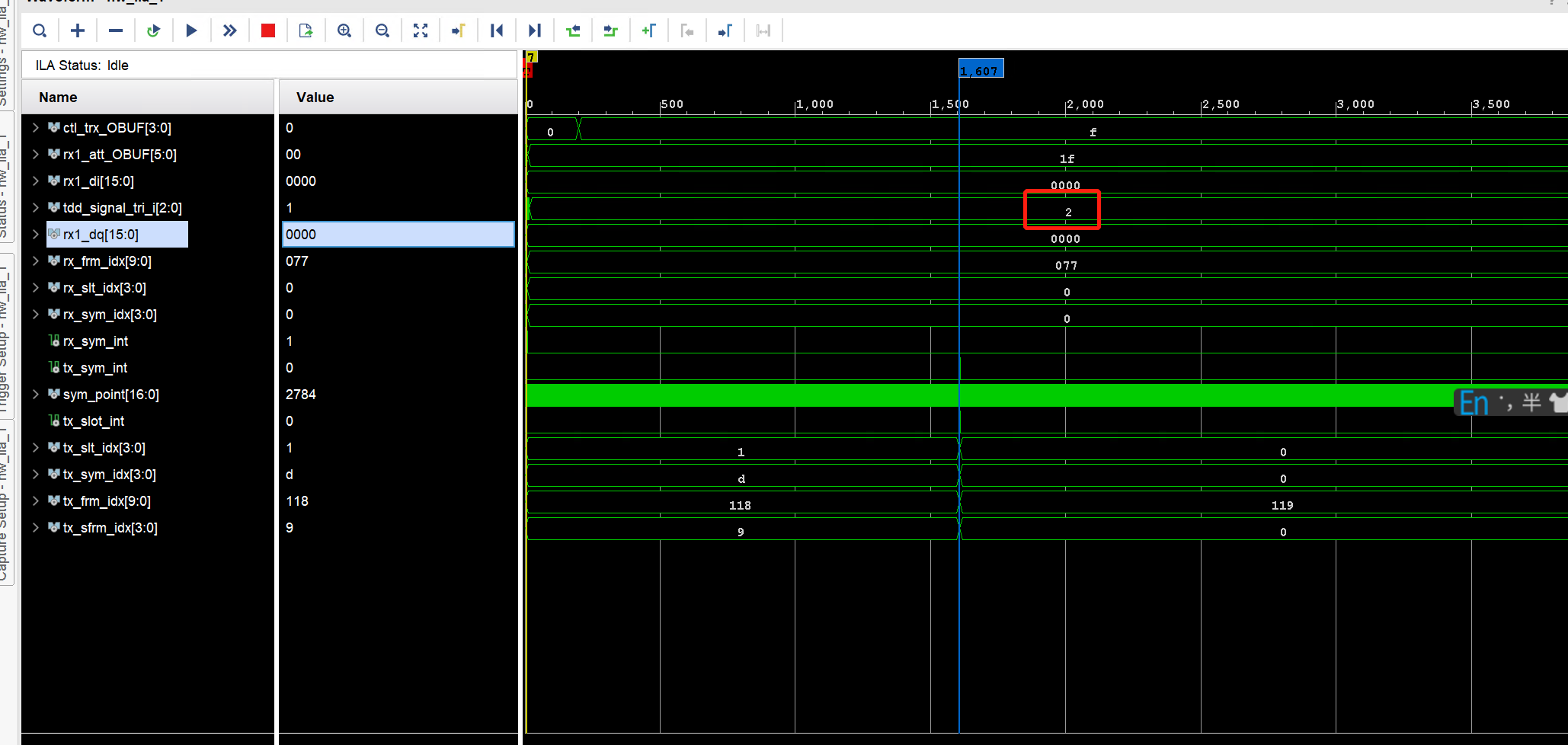
* 采数3 U->D

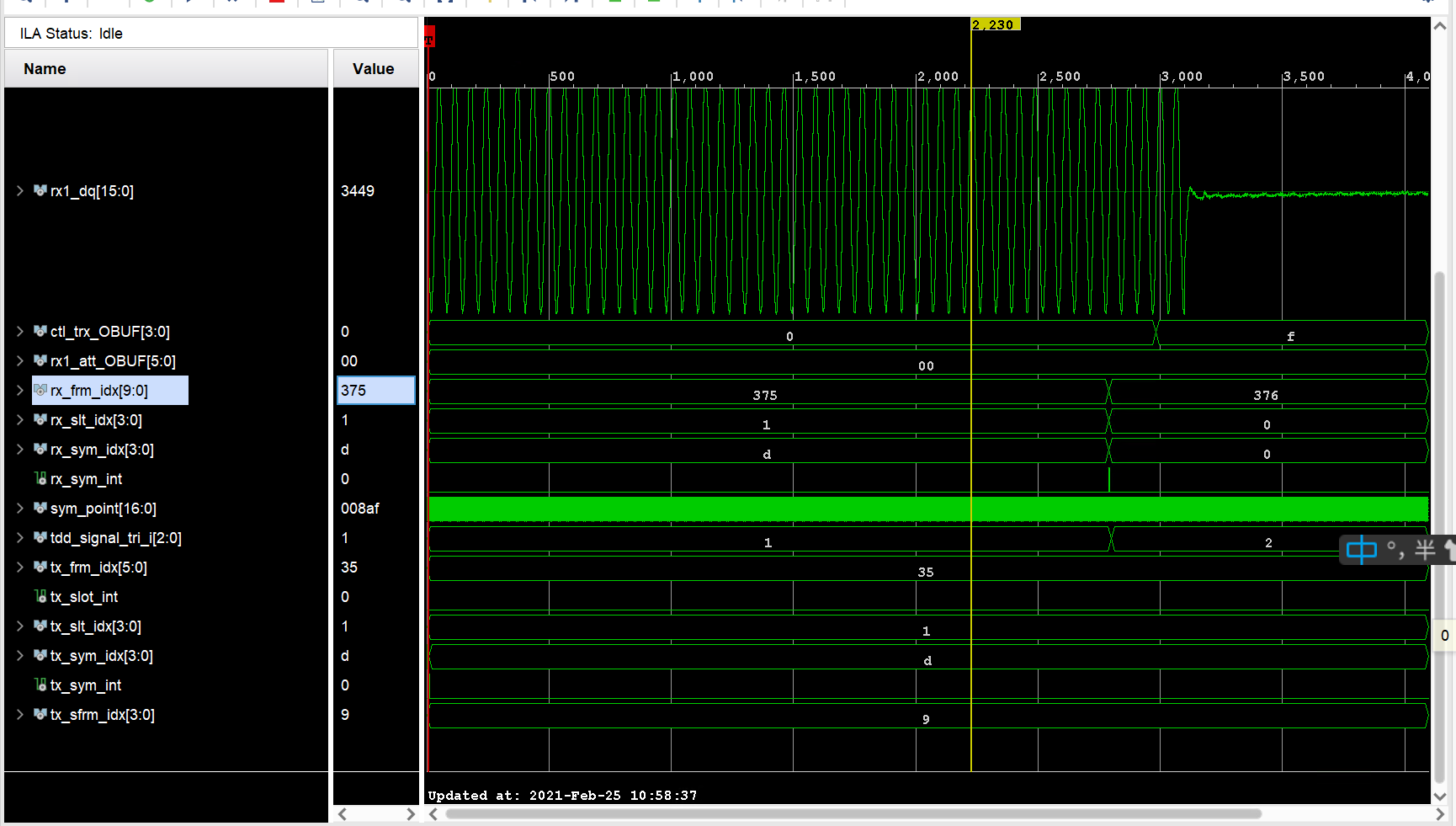
发生位置：tx sfrm9 slt1 symd -》符合

发生时间：191点 符合时间要求

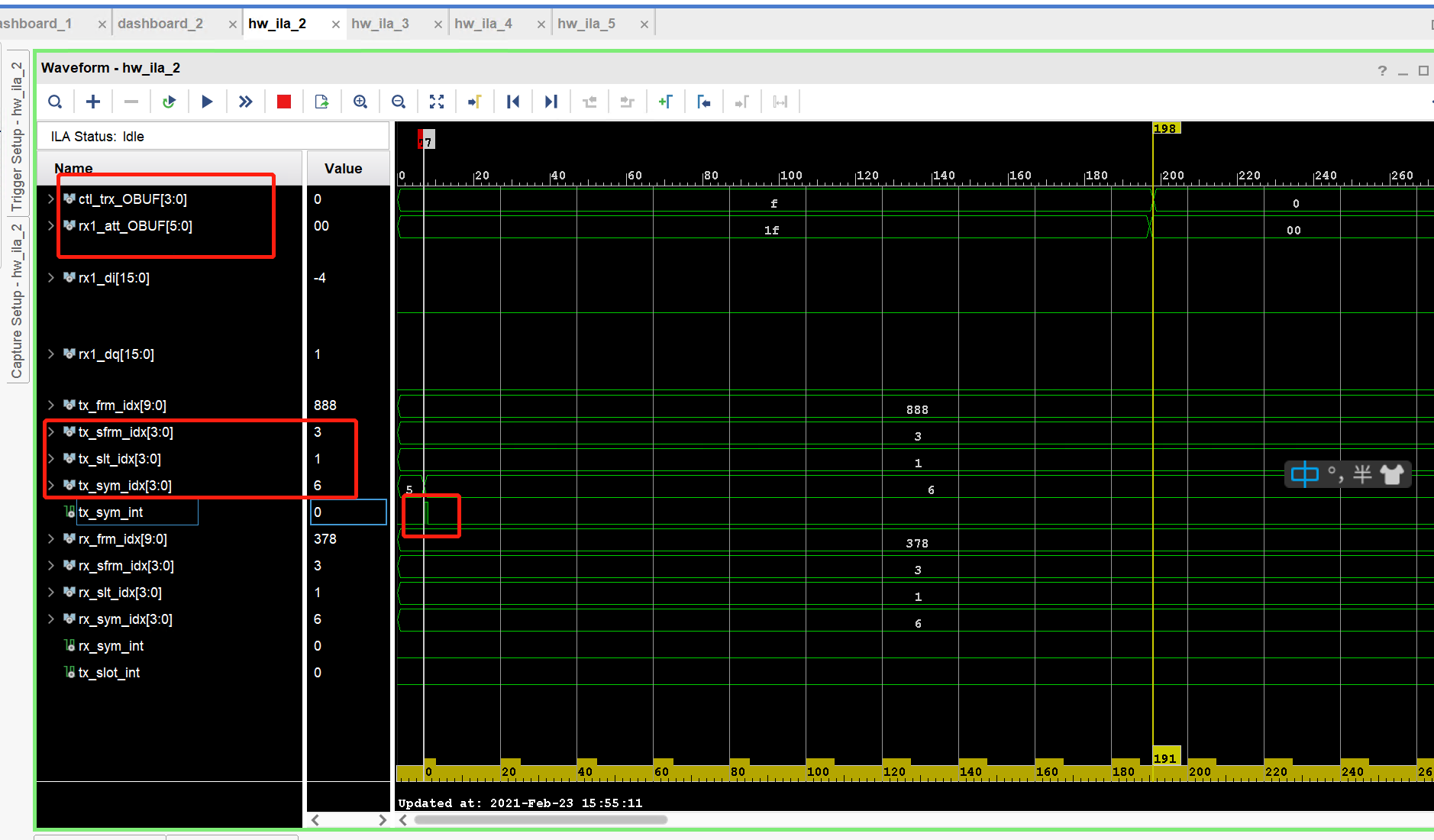
动作：fpga rx gpio att 最大，tdd\_intr进行u->d设置2，ctl\_trx切换1（tx)

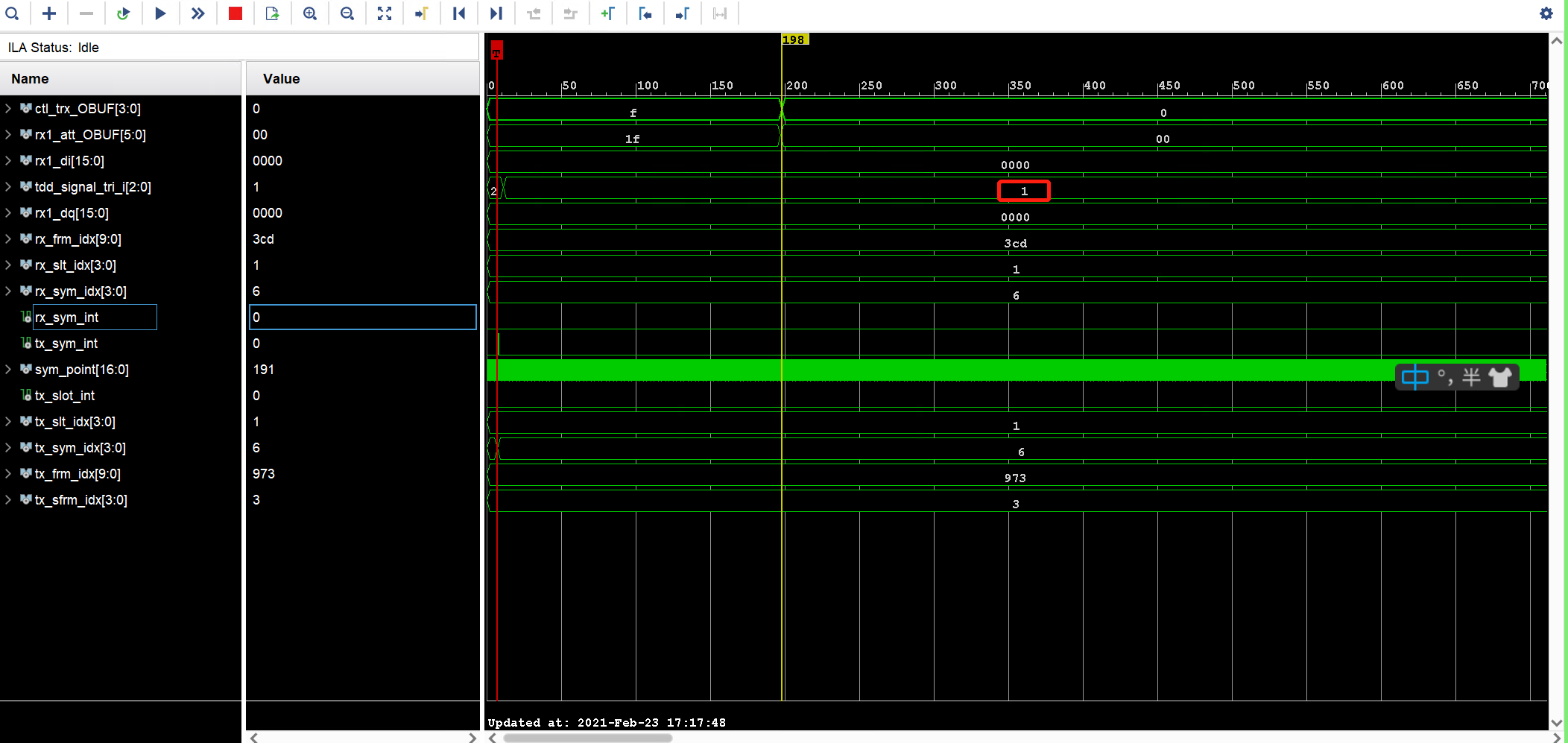


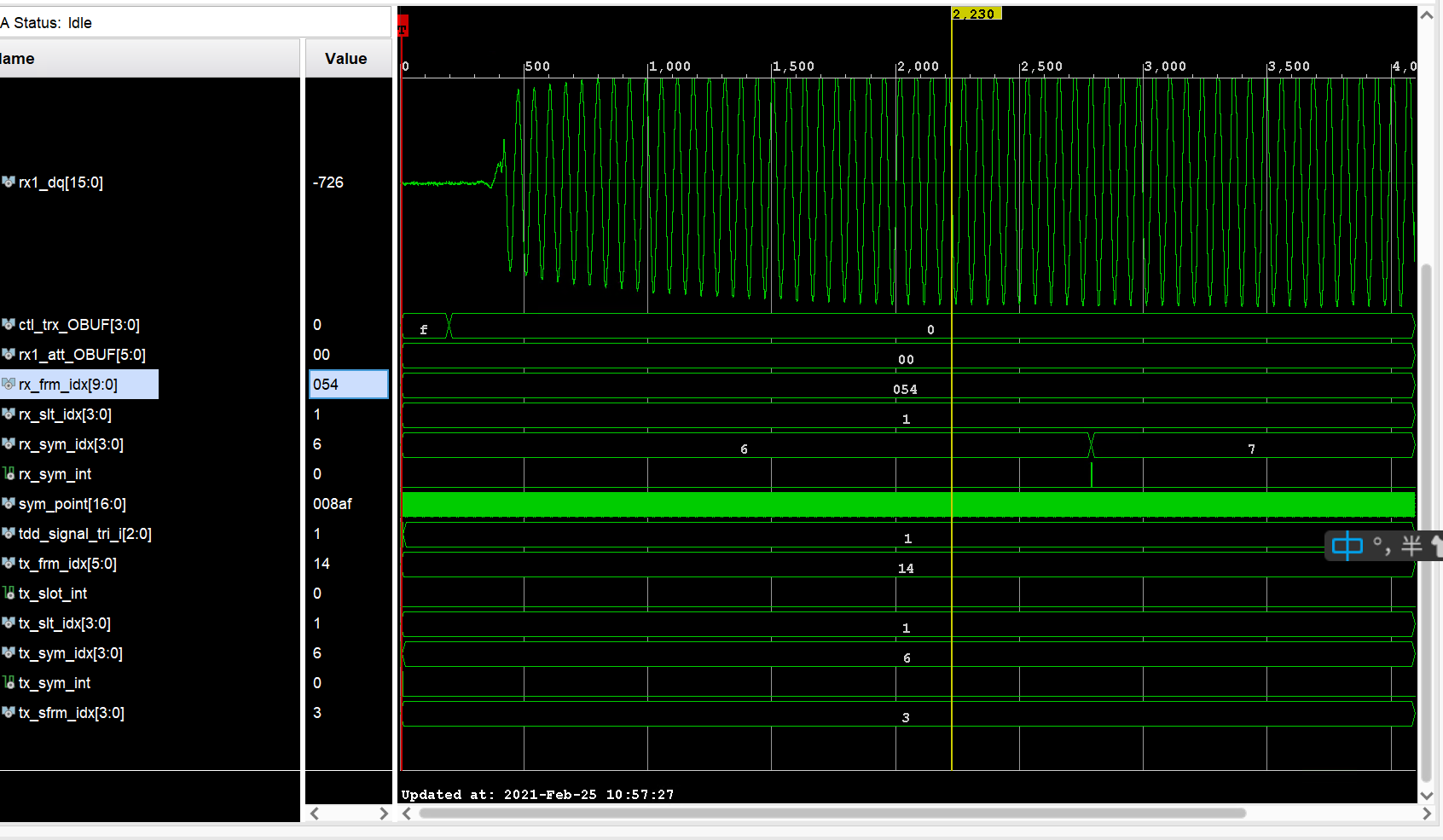
补充intr中断

补充接收波形

* **采数4 D->U**
* 发生位置：tx sfrm3 slt1 sym6 -》符合
* 发生时间：191点符合要求
* 动作：tdd\_intr进行d->u设置1, fpga rx gpio att 最小，ctl\_trx切换0（rx)

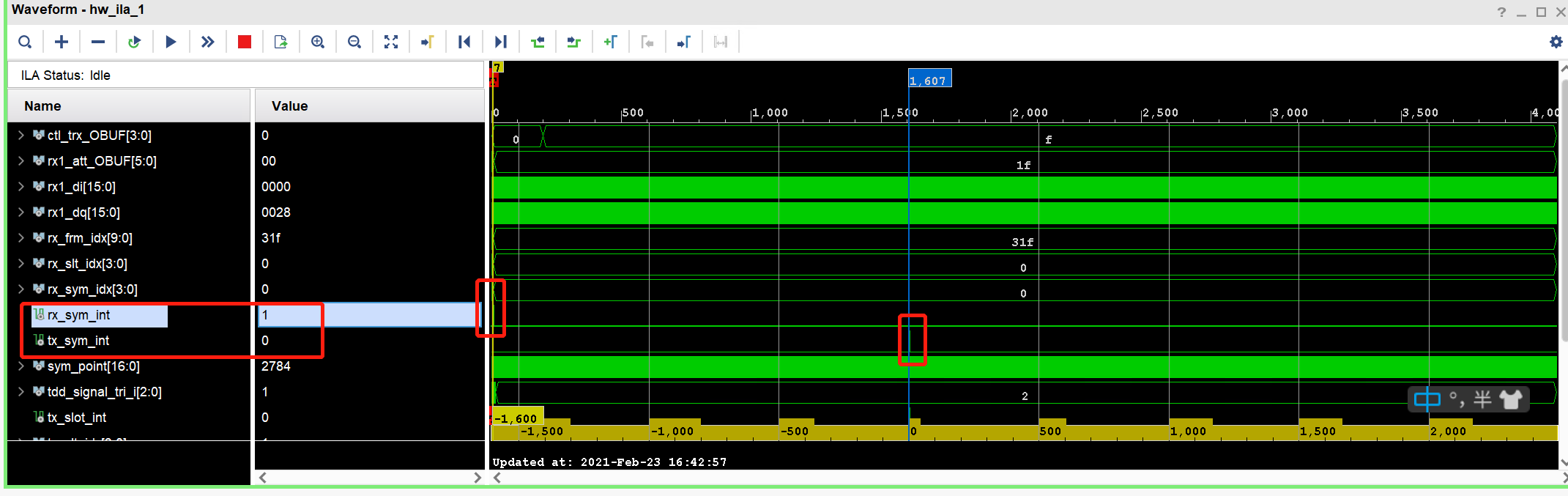


补充中断

补充rx接收波形

③结果2

可以看出rx sym int提前于tx sym int1600点



6。遗留

ctl\_trx是否需要顶层做三态

st\_gen模块中的slt、sym数量配置需要从顶层或者tti\_gen引入 已完成

st\_gen中的除法器需要更新 挂起

slt周期0~15[3:0]

累计周期，同slt周期位宽 8 10

预计使用的tdd循环周期为2ms、2.5ms、5ms

### 5.4 补充测试

①测试目标及方法

* T/R切换CTL\_TRX1时延

方法：使用外置输入源输入单音，手动vio打开或者关闭CTL\_TRX，抓取波形，计算切换时间

* ps中断生效时延

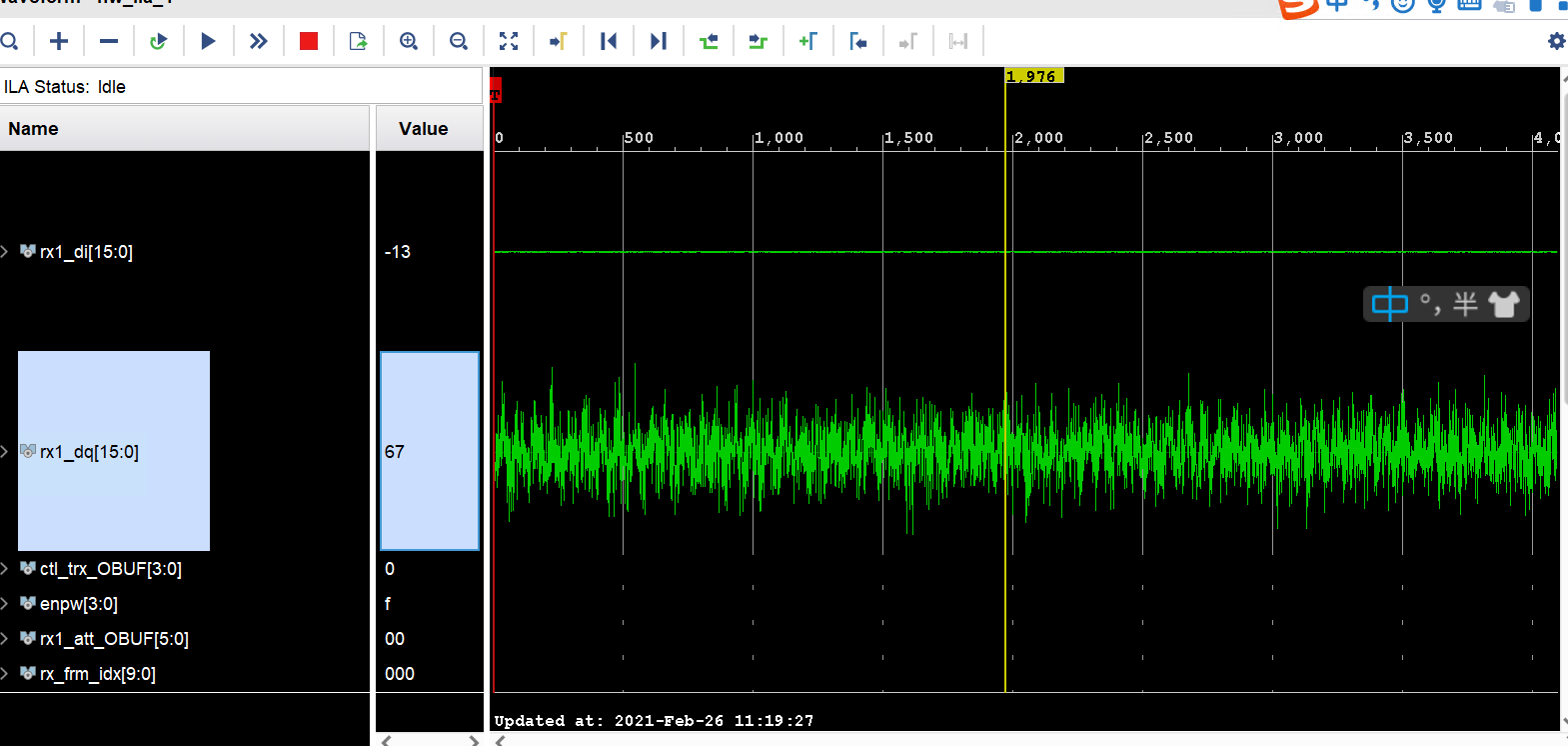
手动发送中断信号intr，控制ps的rx增益，观察rx波形记录时间

* 接收功率定标、切换下发送功率差别

注释：span0

测试记录：

* rx接收底噪 幅值最大67（rx\_att=0, rx\_gain=max）

底噪 ||饱和情况

|  |  |  |
| --- | --- | --- |
| 幅值 | 功率 /dbm | 频点 |
| 67 | 0 | 2.5GHz |
| 饱和 | -16.7 |  |
| 27087 | -18 |  |
| 22072 | -19.7 |  |
| 9617 | -26.7 |  |
| 6457 | -30 |  |
| 2565 | -38 |  |
| 1112 | -45 |  |
|  |  |  |

* 9371 rx\_gain控制

|  |  |  |
| --- | --- | --- |
| rx\_gain | 幅值 | 说明 |
| 195 | 29 | （255-195）\*0.5=30db |
| 255 | 1121 |  |

* 9371 tx\_att控制

|  |  |  |
| --- | --- | --- |
| tx\_att | 射频功率 | 说明 |
| 0 | -5dbm | 41950/1000=41.95db |
| 41950 | 21dbm | rx接收幅值10 |

* GPIO rx\_att控制

|  |  |  |
| --- | --- | --- |
| rx\_att | 幅值 | 说明 |
| 0 | 1097 | 根据衰减值，最大应该31.5dbm衰减，但是目前计算衰减13dbm |
| 1f | 250 |  |

* CTL\_TRX

|  |  |  |
| --- | --- | --- |
| ctl\_trx | 射频功率 | 说明 |
| 0 | -48dbm |  |
| 1 | 21dbm | rx接收幅值仍然10 |

注意：控制tx衰减适度，rx增益最小，rx衰减开到最大

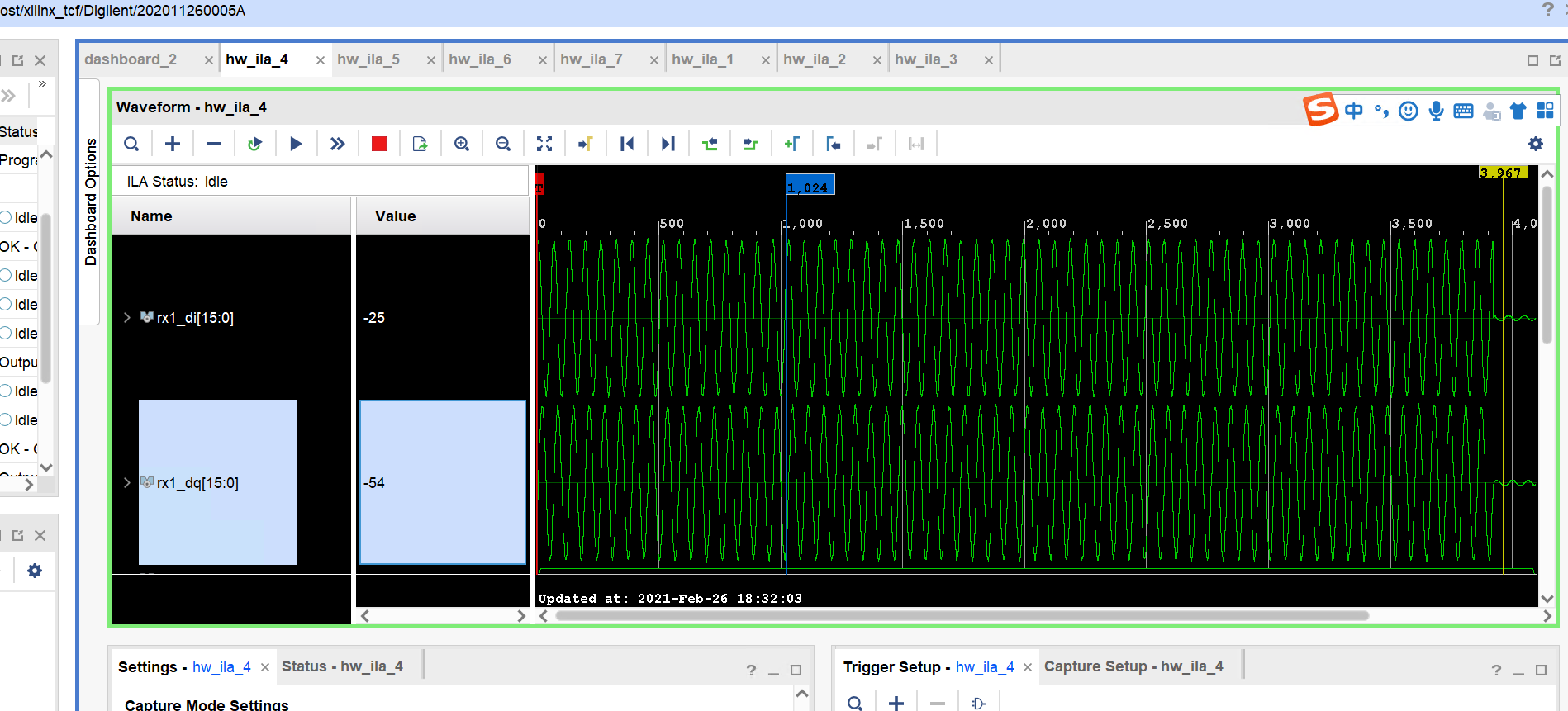
* CTL\_TRX切换时间

|  |  |  |
| --- | --- | --- |
| ctl\_trx | 样点间隔 | 说明 |
| 0->1 | 202点 | 122.88m时钟，约1.64us |
| 1->0 | 222点 | 约1.8us |

0->1切换

1->0切换

PS切换

U->D

# 附录

## 参考文档

1. 飞书《TDD开关设计会议纪要》
2. 《ug585-Zynq-7000-TRM.pdf》
3. 《pg144-axi-gpio.pdf》
4. 《NR\_TDD切换位置表》
5. 工程：repo\fpga\0.sim\v3\tdd\_sw\tdd\_sw\_ecpri
6. 《 ru\_tdd.drawio 》