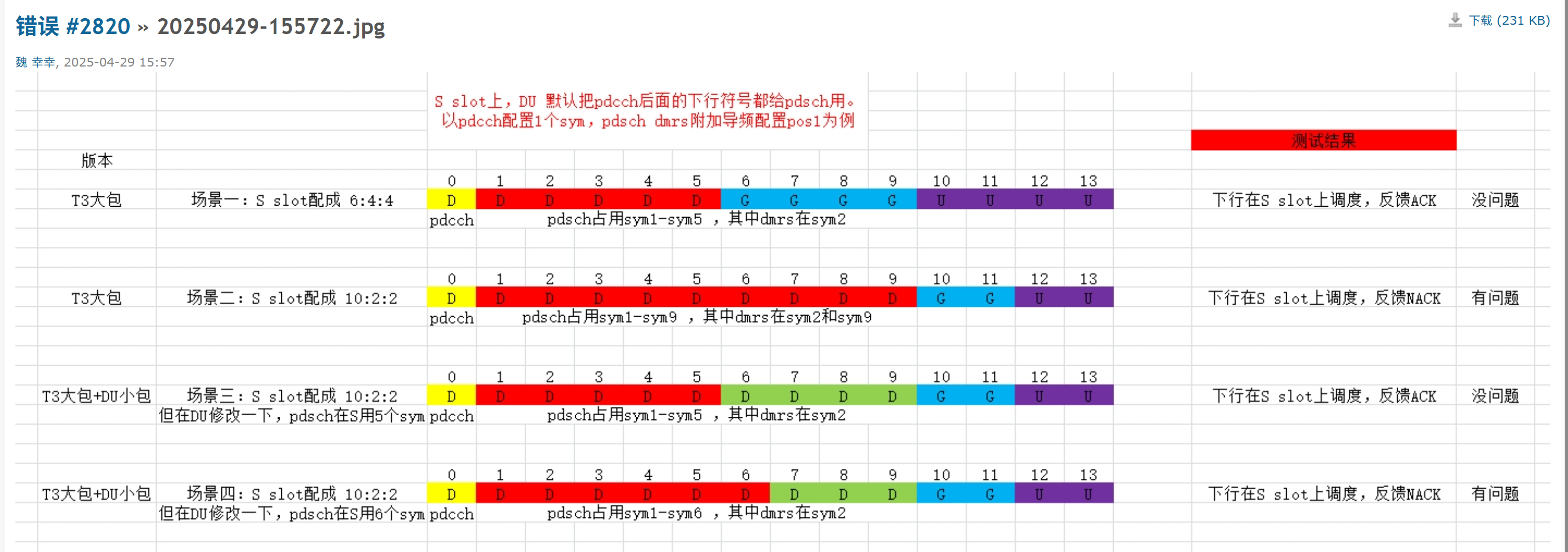
# #2820问题

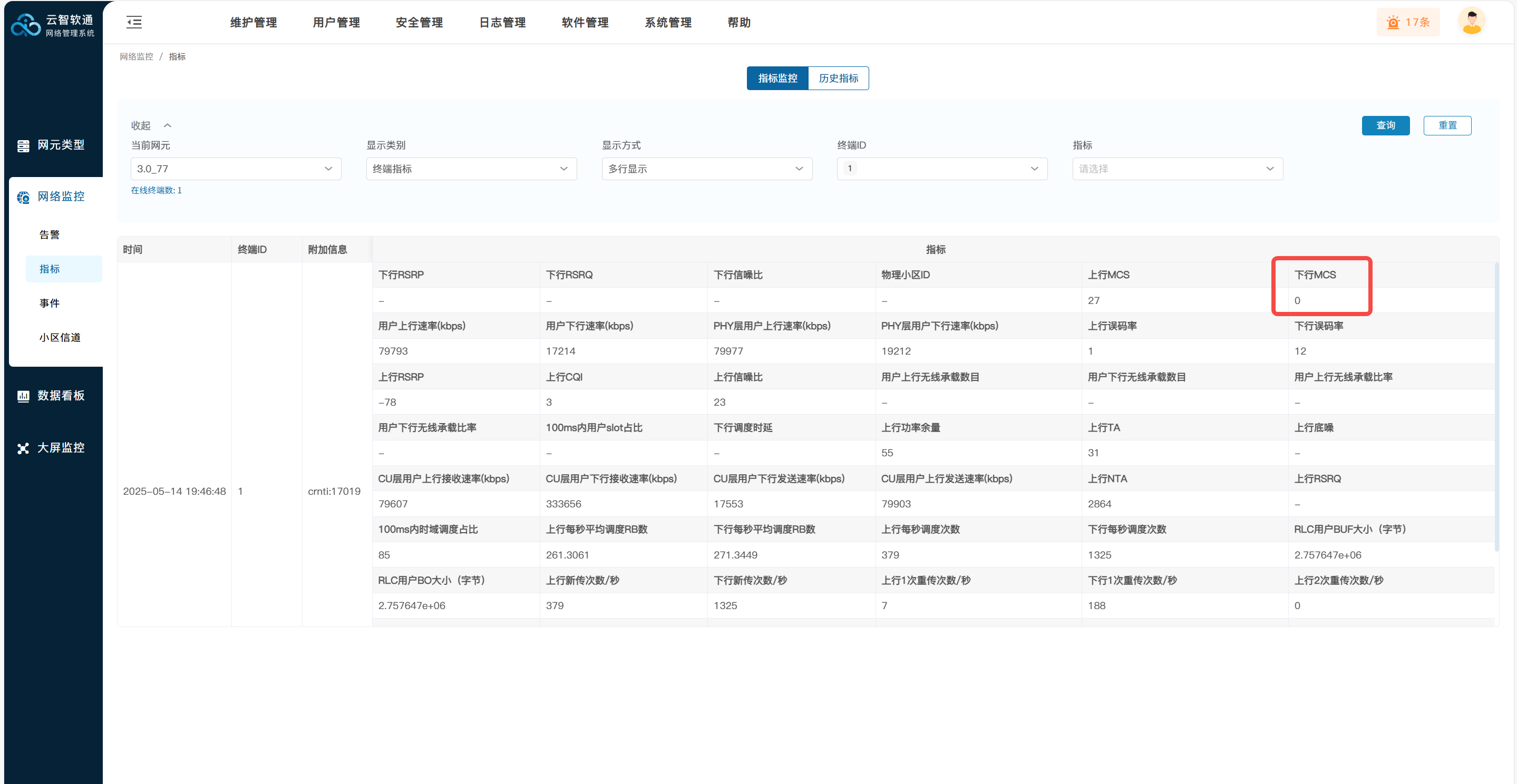
## 1，问题现象：

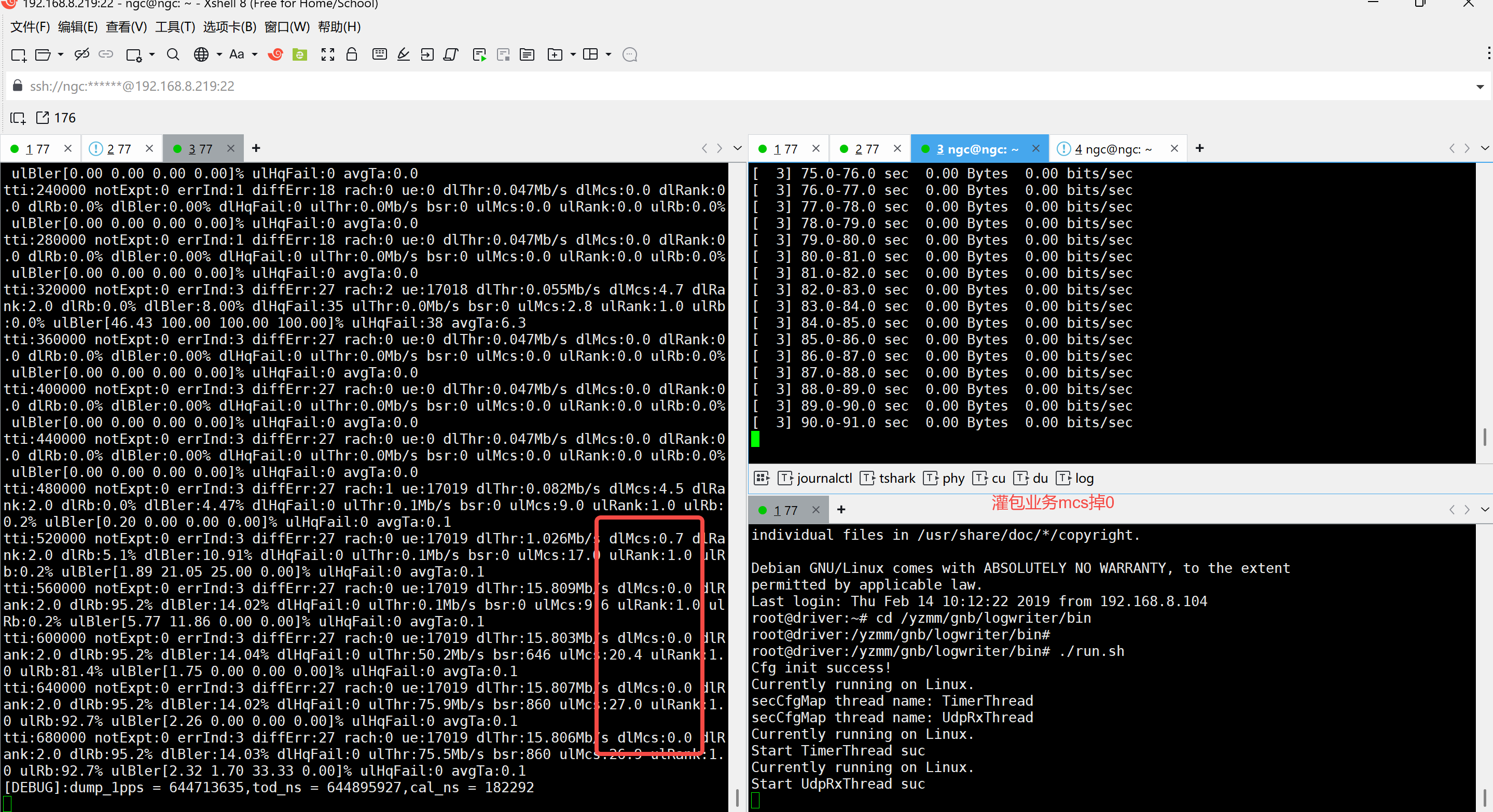
特殊子帧配置10D2G2U，终端接入后下行mcs持续为0，速率低。特殊子帧配置修改6D4G4U后恢复正常。之前使用du临时包验证在s slot上pdsch使用6个symbol调度就会有问题，使用5个就正常，怀疑s slot配置10D2G2U时第七个symbol有异常。





## 2，测试情况截图：





## 3，仪表对比情况：

接入频谱仪测试验证该问题，同时使用6D4G4U进行对比测试。

测试发现S slot配比使用10D2G2U时，每个时隙中的第7个slot上有明显缺失异常（该slot属于D，第8个slot是S）且每个slot之间都有明显缝隙（好像每个D slot的前后symbol都出现了异常问题）；对比6D4G4U测试则无该问题。（协议栈测试时终端接入灌包800M，终端速率600+，RB利用率95%以上。）

使用testmac测试跑验证思朗输出的频谱图发现S slot配置10D2G2U时频谱图也和6D4G4U时差异明显，S slot配置10D2G2U时时隙中的每个D slot之间也都有明显的缝隙，像是过山车一样不稳定；而使用6D4G4U时D slot则是一条平稳的直线。

对比情况如下：

|  |  |
| --- | --- |
| 10D2G2U（协议栈测试） | 6D4G4U（协议栈测试） |
|  |  |
| 10D2G2U（testmac测试） | 6D4G4U（testmac测试） |
|  |  |

## 4，问题结论：

10D2G2U时出现明显mcs掉0问题，接仪表测试发现S slot配置10D2G2U时，整个时隙的D slot都有明显的异常问题（D slot之间有明显缝隙，怀疑每个D slot的前后symbol有异常，D的最后一个slot尤其明显。）

Testmac测试来看，怀疑思朗支持10D2G2U时有异常bug，需要研发同事与思朗确认该现象是否正常，如果异常需要确认问题原因。

虽然支持10D2G2U的特殊子帧配比，但目前来看该配比暂无法正常使用。