## 一、需求

1.1 终端同步调整  **：**终端接收调整+发送调整

1.2 终端发射ta调整**：**终端发送调整，接收不调整

## 二、设计

#### 2.1 设计图



#### 2.2 变量说明



**tx\_slt\_sig：**tx时隙中断

**tx\_offset:** tx时隙中断相对于TTI的偏移，tx\_offset = tx\_ta(发射补偿） + ta\_offset （协议上下行补偿量）

**TTI:**  AU提供的时隙中断，作为ru的sfn产生基准

**rx\_slt\_sig**：rx时隙中断，同TTI完全同步

#### 2.3功能说明

###### 2.3.1开始时偏调整 -sfidx调整

用于将终端跟基站的时偏缩小到1个符号内

①x86配置sfidx\_set 到AU

②AU TTI进行设置

③RU tx/rx\_slt\_sig锁定TTI‘进行调整

###### 2.3.2时偏基准调整-样点调整

用于将终端跟基站的时偏缩小到几个样点内

①x86配置sample\_adj 到AU/RU

两次配置间隔问题 --》x86尽量在子帧起始发送；fpga影响不大

②AU, TTI进行设置

③RU内，TTI'根据sample\_adj进行调整

rx/tx\_tti跟踪TTI'进行调整

###### 2.3.3 下行同步ta调整（ta\_offset无法与晶振跟踪区分）

 ①x86配置tx\_offset 到 RU

②RU设置tx\_offset

###### 2.3.4 追踪-样点调整

用于调节终端移动或者晶振漂移引起的时偏

①x86发送sample\_adj（样点调整）到AU/RU

②AU TTI进行设置

③RU内，TTI'根据sample\_adj进行调整

rx/tx\_tti跟踪TTI'进行调整

#### 2.4 AU模块详细设计



* sfidx\_set的功能

修改std\_tti\_gen，实现idx设置，注意样点计数跟设置的idx相关

* 样点调整

修改std\_tti\_gen，目前没有这个功能，需要改动增加功能

* 时钟

使用2级mmcm，产生96m，产生122.88m

跨时钟域

#### 2.5 RU模块详细设计







* 样点调整：（@杨晋）

 **CM**配置sample\_adj，由u\_tti\_maintain模块调节

sym\_gen、 timing\_advance模块内部跟踪，增加tti\_int的判断，以处理slt长度减少的情况

todo 溢出、sfrm/frm的去留问题

* 接收数据处理：

 在fifo跟seg之间增加align模块，保证时隙数据长度一致。少的进行补足，多的丢弃。

模块名称: rx\_align

功能： ①对长度变短的tti进行补齐

其他： ①上游模块保证，tti长度

#### 2.6 基站终端代码统一

* rx\_offset ， rx相对基准的提前量

调整发射延迟及协议要求的上下行裕量

* tx\_offset， tx相对基准的提前量

调整发射延迟及协议要求的上下行裕量

* sfn\_set配置接口

配置大于一个sym的sfn变化

* sample\_adj 时间基准调整

小于1个sym的样点调整

2.7 接口

* sfidx\_set frm sfrm slt sym

 --》sfn跳变，fpga: 终端接收发射做保护，检测slot\_tti

 x86, 在帧起始发出调整量；

x86, bbu起来易挂死(目前上电阶段不起bbu), 需要做保护

* sample\_adj -300, 4096
* 调整时间 sfn 10ms

 sample 1ms(高速场景后续再调整）

* rx/tx\_offset rx跟tx\_ta反向调整，

 fpga， 终端rx调整delta

 x86 ， 只发送rx调整信息， tx的由fpga算出

## 三、代码修改

#### 3.1 工程

au E2F\_EPB02\_V\_1\_1\_2\_T210922\_270M\_terminal\_verA

ru R2F\_FFB02\_V\_2\_0\_0\_T210922\_terminal\_verA

#### 3.2 风险点

①ta调整对于各模块的影响

对于ru tti模块，ta调整以sym级别对齐生效，会造成发生调整的sym的长度变短或变长

需要增加变短的保护，

上行需要在ram跟seg模块间增加处理功能。

②tti样点调整，对于ru tx/rx\_tti的影响

造成ru sym\_gen的模块，时隙长度增或减。

造成timing\_advance模块，子帧的最后时隙增加 ；长度减少，需要判断slot\_tti，保证slot计数稳定。

③sfn调整对于ru tx/rx\_tti的影响

ru的sym\_gen可以对sfrm/sfrm/slot直接跟踪，但是sym需要判断slot\_int进行跟踪

ru的 timing\_advance对sfn进行slot\_int判断，间接跟踪

sym\_gen以及timing-advance模块，frm\sfrm\slot长度变短；slot变短需要增加判断；

sfn\_set时，需要判断sym/slt/sfrm是否为0，来输出tti

④au的tti模块改动风险

模块替换问题，现有tti模块不支持样点调整，需要替换或者大改

## 四、仿真

#### 4.1 仿真顺序

①确认au - tti\_top的功能

②确认sfidx\_set对目前ru-tti跟踪的影响

③改造au - tti\_top，使之支持sfidx\_set以及样点调整

④测试au - tti\_top的输出

⑤改造ru - tti\_top,使之支持ta调整，以及对au-tti\_top进行样点及sfidx的跟踪

⑥测试ru-tti\_top

⑦整体测试

#### 4.2测例

**见：《上下行调整-测例.xlsx》**