

问题

#	项目	跟踪	状态	问题归属	优先级	主题	指派给	更新于
3280	FirstCall	任务	已解决		普通	UU口使用最新rfic脚本顺序，phy和mac发消息失败	杨 晋	2025-05-28 09:58
3033	2.0基站产品化测试	需求CR	已解决	PRU	普通	RU2.0 FPGA增加调测	杨 晋	2025-04-14 11:40
2944	产品硬件设计及装配	功能	进行中		普通	有一块EVMT2终端板卡（第三批，序号006），使用idtc_m_3ppm_20250124_112929，有时出现8A gps无法连上，更换之前环路滤波设置宽松的文件后，可以连上	杨 晋	2025-05-19 16:07
2833	产品3.0平台	错误	已解决		普通	EVMT2测试，不执行./dsa.out 3000，终端板卡每次上电，发射功率不同，但正弦波波形是标准的，执行./dsa.out 3000之后，发射正弦波有畸变	宁 永明	2025-04-25 15:15
2794	FirstCall	任务	进行中		普通	测量终端板卡发射链路和接收链路的时延（外部不接功放板）	杨 晋	2025-04-14 11:41
2743	FirstCall	错误	已关闭		普通	在开低噪放的中断中，采集jesd三级进位计数器值比实际设置值提前几us，影响后续连接功放	杨 晋	2025-02-17 14:15
2736	2.0基站产品化测试	需求CR	已关闭	DRV	普通	MRU配置，某一RU频点配置后回读频点为0，上报告警	周 磊	2025-04-14 11:52
2735	2.0基站产品化测试	需求CR	已解决	FPGA	普通	MRU配置，AU检测到其中一个或多个RU特殊时隙GAP功率异常，上报告警	杨 晋	2025-03-11 17:46
2719	FirstCall	错误	已解决		高	两个终端板卡一发一收测试，每次reboot后接收板卡接收数据功率不同，出现+-15000/+-8000/+-2300	杨 晋	2025-02-14 19:46
2718	FirstCall	错误	已解决		低	两个终端板卡一发一收测试，接收板卡接收数据提前了360样点，reboot后样点会变化	杨 晋	2025-03-21 17:45
2707	FirstCall	错误	已关闭		普通	使用EVMT2板卡测试，接收不到数据，界面打印adrv9025_init失败	李 明新	2025-01-23 19:37
2652	FirstCall	错误	已解决		低	OC-UE/IRN测试，接收数据功率不稳定，时高时低	杨 晋	2025-04-23 09:09
2651	FirstCall	错误	已解决		普通	OC-UE测试，采到接收42个时隙数据不正确，把平台中断0使用时隙号(源于时隙偏移中断)加1后，接收正确	杨 晋	2025-03-07 14:28
2640	FirstCall	错误	已解决		普通	搬移42个时隙中，天线1第一个时隙是天线0的数据	杨 晋	2025-03-21 17:43
2620	FirstCall	错误	已解决		普通	测试时，统计时隙偏移中断两次间隔，出现最大几ms，最小100us情况，与加写内存调测有一定关系	杨 晋	2025-02-13 17:29
2536	2.0基站产品化测试	错误	已关闭	FPGA	普通	mru中其中一个ru断电后又上电，会自动加入合并	杨 晋	2024-12-14 16:37
2535	2.0基站产品化测试	需求CR	已解决	FPGA	普通	au 增加ru底噪统计的调测	杨 晋	2025-01-23 09:35
2230	2.0基站产品化测试	错误	已解决	FPGA, PRU	普通	新fx200板卡（civ芯片）15p_pre1T3，第二路光纤（连第二个RU）概率性读RU时卡住	杨 晋	2024-12-27 16:47
2202	2.0基站产品化测试	需求CR	已解决	DRV, PRU	普通	RU2.0正式发布	杨 晋	2024-10-15 10:10
2201	2.0基站产品化测试	错误	已解决	FPGA, PRU	普通	MRU测试，3RU上电后第3个RU配置错误	杨 晋	2024-09-28 20:01
2175	2.0基站产品化测试	错误	已解决	DRV, FPGA	普通	有一块板卡gps不能同步	杨 晋	2024-09-23 14:03
2008	2.0基站产品化测试	功能	已关闭	PRU	普通	RU1.0把频点配置时间优化的功能去掉		2024-10-15 10:10
2007	2.0基站产品化测试	功能	已关闭	FPGA	普通	au fpga发射cp加窗	杨 晋	2024-10-15 10:09
1932	eMBB2.0 BBIT	功能	已关闭	PRU	普通	RU 新功能点		2025-04-14 11:50
1931	eMBB2.0 BBIT	功能	已关闭	FPGA	普通	AU新需求	杨 晋	2025-04-14 11:47
1536	2.0基站产品化测试	需求CR	已关闭	FPGA, PRU	普通	优化系统启动时等待60s FPGA修改		2024-08-19 16:37
1426	2.0基站产品化测试	需求CR	已关闭	FPGA	普通	增加一个寄存器，表示以太ip相关状态指示	杨 晋	2024-01-23 18:52
1405	2.0基站产品化测试	错误	已关闭	FPGA	普通	只读的AU告警寄存器，出现一次写操作	杨 晋	2023-11-27 10:19
1360	2.0基站产品化测试	功能	已关闭	FPGA	普通	AU上行fnt溢出告警修改	杨 晋	2023-10-19 17:06

#	项目	跟踪	状态	问题归属	优先级	主题	指派给	更新于
1359	2.0基站产品化测试	需求CR	已关闭	FPGA, PRU	普通	AU FPGA和RU增加cm相关调测	杨 晋	2024-07-10 17:34
1335	BA5000平台	错误	已解决	DRV, FPGA	普通	STE ARM环境测试690t板卡，FPGA在写fft数据过程中，rq总线ready信号变无效	战 弋戈	2023-10-27 10:12
1334	BA5000平台	错误	已关闭	DRV, FPGA	普通	STE ARM环境测试690t板卡，跑demo下行数据不满	战 弋戈	2023-11-14 15:27
1259	2.0基站产品化测试	需求CR	已关闭	FPGA	普通	FPGA 告警功能上报	杨 晋	2024-07-10 17:33
1211	BA5000平台	错误	已解决	FPGA	普通	CPRI Fh demo测试，fpga把tx包丢弃	杨 晋	2023-07-17 10:57
1207	2.0基站产品化测试	需求CR	已关闭	FPGA	普通	增加一个寄存器：AU FPGA以太IP时钟锁定指示	杨 晋	2024-07-10 17:32
1204	2.0基站产品化测试	需求CR	已关闭	YZMM	普通	网管显示上行多RU合并的状态（基站AU侧参数）	杨 凯	2024-07-10 17:32
1188	2.0基站产品化测试	功能	已关闭	FPGA, 系统	普通	环境挂死，重新拉起三层前，fpga调测保存到文件		2024-07-10 17:32
1181	2.0基站产品化测试	功能	已关闭	FPGA	普通	sys.cfg中，ru2/3的源和目的地址配置不对	杨 晋	2023-07-07 15:28
1153	BA5000平台	错误	挂起	FPGA	低	3ru时，AU合并模块收到第3个ru的数据比第2个ru晚了几个子符号	杨 晋	2023-10-24 10:08
1150	BA5000平台	错误	已解决	DRV, FPGA	普通	调试eth，RU pl发送的tcp包，X86收到的包尾部有重复字节	杨 晋	2023-06-29 10:08
1149	BA5000平台	错误	已解决	DRV, FPGA	普通	调试eth，RU pl发送的ping，X86收到的长度不正确	杨 晋	2023-06-29 10:08
1108	2.0基站产品化测试	需求CR	已关闭	DRV, FPGA	普通	au fpga flash在线加载功能	杨 晋	2024-07-10 17:32
1107	2.0基站产品化测试	需求CR	已关闭	FPGA	普通	mmru功能修改	杨 晋	2024-07-10 17:32
1049	2.0基站产品化测试	需求CR	已关闭	FPGA	普通	ru和au加1588秒中断调测，观察两者变化	杨 晋	2024-07-10 17:31
1032	BA5000平台	错误	新建	FPGA	高	Fh demo跑1588+两RU版本，一段时间后出现没有rx		2023-02-07 18:48
1031	2.0基站产品化测试	任务	已关闭	FPGA	普通	eCPRI 1588功能和多RU合并		2023-02-06 23:10
939	2.0基站产品化测试	需求CR	已关闭	FPGA	普通	FPGA接收cpri丢失1个或2个包(子符号)保护，增加cpri接收head采数和gps相关调测	杨 晋	2024-07-10 17:30
918	2.0基站产品化测试	需求CR	已关闭	FPGA	普通	FPGA增加编译码统计等调测	杨 晋	2022-09-14 12:14
830	2.0基站产品化测试	需求CR	已关闭	FPGA	普通	RU支持10G/40G光口混插	杨 晋	2022-09-14 12:21
829	2.0基站产品化测试	需求CR	已关闭	FPGA	普通	FPGA加上行相关调测	杨 晋	2022-09-14 12:21
797	BA5000平台	错误	已关闭	FPGA	普通	222环境，概率性出现RU时钟不能锁定	杨 晋	2023-06-29 10:14
791	BA5000平台	错误	挂起	FPGA	普通	FX200在fpga占用资源高时，eth ip输出时钟频率不对，出现RU连接不上	杨 晋	2023-10-24 10:09
789	BA5000平台	错误	已解决	FPGA	普通	FPGA上电第一次挂，重启站或reboot后再没有问题	杨 晋	2023-06-29 10:09
788	BA5000平台	错误	已解决	DRV	普通	FPGA有的版本偶现驱动读取版本号 全F，有的版本必现这个问题	杨 晋	2023-06-29 10:11
735	STE	错误	转测试		普通	FPGA1211出的版本在线加载后，第一次reboot测试，发现pss_conv模块输出head_fifo被写满，phy打印时隙号不匹配	杨 晋	2021-12-15 14:46
713	BA5000平台	任务	新建		普通	[AU] 上行256QAM FEC	杨 晋	2021-11-22 18:16
712	BA5000平台	任务	新建		低	CPRI 接口功能开发	杨 晋	2021-11-22 18:15
711	BA5000平台	任务	新建	DRV, FPGA	普通	[AU/RU] 高精度的时间同步(1588)	杨 晋	2022-07-04 12:08
710	BA5000平台	任务	新建		普通	[AU] 多RU接收数据合并	杨 晋	2021-11-22 18:13
709	BA5000平台	任务	新建		低	[AU/RU/Dev] 基站通过编译选项支持 2T2R/4T2R/4T4R	杨 晋	2021-11-22 18:12
708	BA5000平台	任务	转测试	FPGA	高	[AU] 基站 AU同步到输入的PPS外部时钟上	杨 晋	2022-06-25 16:41

#	项目	跟踪	状态	问题归属	优先级	主题	指派给	更新于
692	BA5000平台	错误	已关闭		普通	DELL服务器 Fecdemo 跑不起来	杨 晋	2021-11-12 17:52
690	BA5000平台	错误	已关闭	DRV, FPGA	普通	FPGA某个基站版本，在ip245电脑上能跑demo（非结构体分支）Fh和Fec，但运行正常程序时TTI跳变	杨 晋	2023-10-24 10:11
686	BA5000平台	错误	已关闭		普通	STE项目FPGA新出的版本，运行demo可以跑通，运行正式程序没tti	杨 晋	2021-12-20 18:13
668	STE	错误	挂起		普通	FPGA使用FH进行demo测试，概率性出现跑一会接收异常	杨 晋	2021-10-22 17:19
534	eCPRI	功能	已关闭		普通	FR拉远 4天线 FPGA编码	杨 晋	2021-06-17 16:17
522	eCPRI	错误	已解决		普通	FR CPRI TDD调试，DU FPGA写入AD5311值CAC0，读回值CA40，二者不一致	杨 晋	2021-04-29 20:07
521	eCPRI	错误	已解决		高	FR CPRI TDD调试，DU FPGA新版本回读AD5311值不稳定（之前版本回读值不变）	杨 晋	2021-04-29 20:06
520	eCPRI	错误	已解决		高	FR CPRI TDD调试，在驱动加载前，DU的上行front_haul收到格式错误的的数据	杨 晋	2021-04-29 20:07
498	eCPRI	任务	已关闭		普通	DU RU ecpri 版本增加 以太网传输时一个小包异常或连续两个小包异常的保护	杨 晋	2021-08-17 11:16
422	eCPRI	错误	已解决		普通	FR_CPRI调试，X86打印显示FFT DMA收到三次FPGA通知描述符完成，但译码未启动	杨 晋	2021-02-09 15:22
421	eCPRI	错误	已关闭		普通	FR_CPRI调试，FPGA发射fronthaul模块把数据丢弃	杨 晋	2021-02-01 10:14
420	eCPRI	错误	已关闭		普通	FR_CPRI调试，X86收到tti中帧号一直是0	杨 晋	2021-02-01 10:14
416	eCPRI	任务	已解决		普通	合入代码，出FR_CPRI的DU FPGA版本	杨 晋	2021-02-09 17:50
409	eCPRI	任务	已解决		普通	eCPRI-FR FPGA 2/4天线系统设计	杨 晋	2021-02-09 17:51
366	eCPRI	错误	已关闭		高	DU-RU环回测试，DU的cpri输出天线0丢失一个子符号包	杨 晋	2021-01-25 10:38
320	eCPRI	错误	已关闭		普通	修改pru 128bit内4个32bit样点排序问题后，测试DU-RU外环回，还有CRC错误较多，X86一秒内就显示接收无数据等现象	杨 晋	2021-01-25 10:38
319	eCPRI	功能	已关闭		普通	VIVADO操作PRU，可以program fpga，但program flash报错，后发现是电脑U口和usb线连接不稳定		2021-01-25 10:38
294	eCPRI	错误	已解决		普通	修改符号tti产生异常的问题后，DU自环，split_len=1400byte，跑约10分钟后FPGA收不到数据		2021-02-09 17:53
292	eCPRI	错误	已解决		普通	DU上电后，FPGA使用Program Device测试，reboot、执行Go.sh后，FPGA发现没有250M时钟		2021-02-09 17:55
283	eCPRI	错误	已关闭		普通	DU-RU环回，crc前5秒有对有错，后开始全错，与DU 电脑CPU频率设置有关		2021-01-04 15:51
282	eCPRI	错误	已关闭		普通	du和ru TTI未同步		2021-01-25 10:38
281	eCPRI	错误	已关闭		普通	PRU内，cpri2ad9371模块内部fifo环回，且fifo时钟用122.88M时，CRC错误		2020-12-21 17:09
280	eCPRI	错误	已解决		普通	DU自环配置split_len=1392byte时，跑一定时间后，显示CRC正确和错误都0	王 永伟	2021-02-09 17:56