

2.0基站产品化测试 - 错误 #1139

2.1.13p_pre1版本，稳定性长跑时出现phy挂死，初步定位原因是：前传数据头里面的slot 来了，和tti的slot相等，正常应该比tti的slot小1

2023-06-06 09:52 - 王 旭初

状态:	进行中	开始日期:	2023-06-06
优先级:	普通	计划完成日期:	
指派给:	吕 国荣	% 完成:	0%
类别:		预期时间:	0.00 小时
目标版本:		耗时:	0.00 小时
问题归属:	DRV, FPGA, PHY	FPGA板卡类型:	115P+PRU
发现问题版本:	Rel_2.1.13P	CPU类型:	Xeon-gold5218(宝德)
目标解决问题版本:	Rel_2.1.13P		

描述
[05-29 15:05:00.000][WARNG][bbupool_rt_thread] RunCount[7479953], RUN taskId=14 cellIdx[0], slot=9149, nCurrentSfIdx=9152, dealtime[12.666]us [05-29 15:05:00.000][WARNG][bbupool_rt_thread] RunCount[7479954], RUN taskId=18 cellIdx[0], slot=9149, nCurrentSfIdx=9152, dealtime[2.500]us [05-29 15:05:00.001][INFO][PHY-->DU] MSG_TYPE_PHY_SLOT_IND: CellNum[1], SlotIdx[9153], TTI[457,13], TimeDiff[500.125]us. [05-29 15:05:00.001][INFO][FH_PUSCH_RX, CellIdx[0] FPGAslot[457,6,0] slotIdx[9152] gPkt[5954] [05-29 15:05:00.001][INFO][PHY-->DU] MSG_TYPE_PHY_SLOT_IND: CellNum[1], SlotIdx[9154], TTI[457,14], TimeDiff[501.209]us. [05-29 15:05:00.001][INFO][FH_PUSCH_RX, CellIdx[0] FPGAslot[457,6,1] slotIdx[9153] gPkt[5955] [05-29 15:05:00.002][INFO][Estimated SNR after CE: SlotAdvIdx[9153] CRNTI[17039]-Ant[0]: --powerbits[12.045] RSRP[-57.792] fEstSnr[24.988]dB [05-29 15:05:00.002][INFO][SlotAdvIdx[9153] CRNTI[17039]-Layer(0): fEstAvgSnr[189.387] freq_offset[-8.890]Hz tmp_TAEst[0] TAEst[0] [05-29 15:05:00.002][INFO][Estimated SNR after CE: SlotAdvIdx[9153] CRNTI[17039]-Ant[0]: --powerbits[11.254] RSRP[-62.550] fEstSnr[20.225]dB [05-29 15:05:00.002][INFO][Estimated SNR after CE: SlotAdvIdx[9153] CRNTI[17039]-Ant[1]: --powerbits[11.971] RSRP[-58.236] fEstSnr[24.542]dB [05-29 15:05:00.002][INFO][SlotAdvIdx[9153] CRNTI[17039]-Layer(1): fEstAvgSnr[194.949] freq_offset[-7.522]Hz tmp_TAEst[0] TAEst[0] [05-29 15:05:00.002][ERROR][DRV] FH_Rx, header[457,7,0] SlotIdx[9154] TTI_time[457,7,0] TTIslotIdx[9154] [05-29 15:05:00.002][INFO][FH_PUSCH_RX, CellIdx[0] FPGAslot[457,6,1] slotIdx[9153] gPkt[5956]

已提交phy，定位中

相关的问题:		
关联到 2.0基站产品化测试 - 错误 #1160: DMA 保护机制	挂起	2023-06-14
关联到 2.0基站产品化测试 - 错误 #1281: Rel_2.1.14p_pre2,phy core dump	已关闭	2023-08-28

历史记录

#1 - 2023-06-20 18:10 - 吕 国荣
- 状态从 新建 变更为 进行中
- FPGA板卡类型 被设置为 115P+PRU
- CPU类型 被设置为 Xeon-gold5218(宝德)
- 问题归属 DRV, FPGA 已添加
#2 - 2023-07-04 16:22 - 吕 国荣
- 关联到 错误 #1160: DMA 保护机制 已添加
#3 - 2023-08-26 10:02 - 王 旭初
2.1.14p_pre2版本该问题又出现了一次，需要进一步定位
#4 - 2023-09-01 14:47 - 吕 国荣
测试过程发现，phy的内部 irq 中断被阻塞了，目前定位到和底层驱动版本相关，回退pre1的基线，没有这个问题。
#5 - 2023-09-01 14:54 - 吕 国荣
- 关联到 错误 #1281: Rel_2.1.14p_pre2,phy core dump 已添加

文件

20230606-095129.jpg	364 KB	2023-06-06	王 旭初
---------------------	--------	------------	------