

FC子项目 - 错误 #153

FPGA前端处理prach数据问题

2020-06-24 10:15 - 匿名用户

状态:	已关闭	开始日期:	2020-06-23
优先级:	高	计划完成日期:	
指派给:	zhang kongjun	% 完成:	100%
类别:	错误	预期时间:	30.00 小时
目标版本:		耗时:	50.00 小时
问题归属:			
描述			
prach数据从FPGA入口抓取时域数据，能够正确解出UE所发送的prach，且FPGA出口数据及PHY收到的数据解出的prach是一致的；说明FPGA或者x86在数据处理过程中对数据产生了影响，导致检出的preamble index与UE实际发送产生了偏移。			

历史记录

#1 - 2020-06-29 12:01 - 匿名用户

- 状态从 *新建* 变更为 *进行中*
- % 完成从 0 变更为 30
- 预期时间被设置为 30.00 小时

#2 - 2020-07-14 14:06 - 匿名用户

- 计划完成日期被设置为 2020-06-30
- % 完成从 30 变更为 100

- 1.FPGA处理数据，IQ路取反，导致后续数据出现了偏移；
- 2.修改后PHY能够正确接收Preamble，遗留问题，接收的preamble仍然存在大约180点的样点偏差。

#3 - 2020-07-14 14:07 - 匿名用户

- 计划完成日期已删除 (2020-06-30)

#4 - 2020-07-14 14:07 - 匿名用户

- 状态从 *进行中* 变更为 *已解决*

#5 - 2020-09-17 14:46 - 吕国荣

- 状态从 *已解决* 变更为 *已关闭*