

2.0基站产品化测试 - 错误 #1751

【系统卡顿问题】T5版本上行2天线星创易联cpe接入后phy必挂死，四信cpe接入灌包后偶尔出现phy挂死

2024-04-28 09:22 - 孙浩

|           |             |           |                   |
|-----------|-------------|-----------|-------------------|
| 状态:       | 已关闭         | 开始日期:     | 2024-04-28        |
| 优先级:      | 普通          | 计划完成日期:   |                   |
| 指派给:      | 孙浩          | % 完成:     | 0%                |
| 类别:       |             | 预期时间:     | 0.00 小时           |
| 目标版本:     |             | 耗时:       | 0.00 小时           |
| 问题归属:     | DRV, PHY    | FPGA板卡类型: | 115P+PRU          |
| 发现问题版本:   | Rel_2.1.14P | CPU类型:    | Xeon-gold5218(宝德) |
| 目标解决问题版本: | Rel_2.1.14P |           |                   |

描述

【环境信息】：核心网（Rel\_3.1.0）+bbu(宝德服务器、2.1.14P-pre2T5版本)+pru(3.5G)+yzmm（YZMM2.1.0(qh)）

【参数配置】：上行2天线

【问题描述】：在2.1.14p\_pre2T5版本上，大上行子帧配置下，上行2天线星创易联cpe接入后phy必挂死，四信cpe接入灌包后偶尔出现phy挂死；

【问题频率】：必现

【问题影响】：产品功能

【问题分析】：分析phy日志，怀疑为上行任务超时，需要phy层进一步分析定位；

2天线修改前配置03\_17\_tstC3

new 3C3

yzrt\_l1\_20240426102839\_logC3

311218

[04-25 10:31:02.007][INFO ] [PHY-->DU] MSG TYPE PHY\_SLOT\_IND: CellNum[1], SlotIdx[9747], TTI[487,7], TimeDiff[498.209]us.

311219

[04-25 10:31:02.007][INFO ] [FH\_PUSCH\_RX, CellIdx[0] FPGAslot[487,3,0] slotIdx[9746] gPkt[12148]

311220

[04-25 10:31:02.007][INFO ] ===== [phy\_ul\_pusch\_decode\_callback] CellIdx[0] SfidIdx[9744] SlotAdvIdx[9744] iCtx[0] Decode\_Time[311.565]us

311221

[04-25 10:31:02.007][INFO ] [UL\_DECODE\_RESULT, FCI[40] SfidIdx[9744] CRNTI[17017] RxAnt[2] LayNum[2] DMRSAddPos[1] NumSymb[13] UEIdx\_DDR[0] TBSIZE[36897] MCS[23] HarqID[5] NDI[0] ]

311222

311223

[04-25 10:31:02.008][INFO ] Estimated SNR after CE: SlotAdvIdx[9746] CRNTI[17017]-Ant[0]: --powerbits[9.241] RSRP[-74.670] fEstSnr[14.204]dB RBStart[4] RBSIZE[265]

311224

[04-25 10:31:02.008][INFO ] Estimated SNR after CE: SlotAdvIdx[9746] CRNTI[17017]-Ant[1]: --powerbits[10.482] RSRP[-67.199] fEstSnr[21.689]dB RBStart[4] RBSIZE[265]

311225

[04-25 10:31:02.008][INFO ] SlotAdvIdx[9746] CRNTI[17017]-Layer(0): fEstAvgSnr[86.939] freq\_offset[99.967]Hz tmp\_TAEst[0] TAEst[-8] AntSelect[0] DMRSNum[2]

311226

[04-25 10:31:02.008][INFO ] Estimated SNR after CE: SlotAdvIdx[9746] CRNTI[17017]-Ant[0]: --powerbits[9.913] RSRP[-70.624] fEstSnr[18.259]dB RBStart[4] RBSIZE[265]

311227

[04-25 10:31:02.008][INFO ] Estimated SNR after CE: SlotAdvIdx[9746] CRNTI[17017]-Ant[1]: --powerbits[8.879] RSRP[-76.849] fEstSnr[11.958]dB RBStart[4] RBSIZE[265]

311228

[04-25 10:31:02.008][INFO ] SlotAdvIdx[9746] CRNTI[17017]-Layer(1): fEstAvgSnr[41.334] freq\_offset[96.122]Hz tmp\_TAEst[0] TAEst[-8] AntSelect[0] DMRSNum[2]

311229

[04-25 10:31:02.008][INFO ] [PHY-->DU] MSG TYPE PHY\_SLOT\_IND: CellNum[1], SlotIdx[9748], TTI[487,8], TimeDiff[499.351]us.

311230

[04-25 10:31:02.008][INFO ] [FH\_PUSCH\_RX, CellIdx[0] FPGAslot[487,3,1] slotIdx[9747] gPkt[12149]

311231

[04-25 10:31:02.008][INFO ] ===== [phy\_ul\_pusch\_decode\_callback] CellIdx[0] SfidIdx[9745] SlotAdvIdx[9745] iCtx[1] Decode\_Time[303.578]us

311232

[04-25 10:31:02.008][INFO ] [UL\_DECODE\_RESULT, FCI[40] SfidIdx[9745] CRNTI[17017] RxAnt[2] LayNum[2] DMRSAddPos[1] NumSymb[13] UEIdx\_DDR[0] TBSIZE[36897] MCS[23] HarqID[0] NDI[0] ]

311233

311234

[04-25 10:31:02.008][INFO ] Estimated SNR after CE: SlotAdvIdx[9747] CRNTI[17017]-Ant[0]: --powerbits[8.920] RSRP[-76.607] fEstSnr[18.078]dB RBStart[4] RBSIZE[4]

311235

[04-25 10:31:02.008][INFO ] Estimated SNR after CE: SlotAdvIdx[9747] CRNTI[17017]-Ant[1]: --powerbits[10.120] RSRP[-69.381] fEstSnr[25.358]dB RBStart[4] RBSIZE[4]

311236

[04-25 10:31:02.008][INFO ] SlotAdvIdx[9747] CRNTI[17017]-Layer(0): fEstAvgSnr[203.812] freq\_offset[41.953]Hz tmp\_TAEst[0] TAEst[-8] AntSelect[0] DMRSNum[2]

311237

[04-25 10:31:02.008][INFO ] Estimated SNR after CE: SlotAdvIdx[9747] CRNTI[17017]-Ant[0]: --powerbits[9.314] RSRP[-74.233] fEstSnr[20.563]dB RBStart[4] RBSIZE[4]

311238

[04-25 10:31:02.008][INFO ] Estimated SNR after CE: SlotAdvIdx[9747] CRNTI[17017]-Ant[1]: --powerbits[9.090] RSRP[-75.578] fEstSnr[19.125]dB RBStart[4] RBSIZE[4]

311239

[04-25 10:31:02.008][INFO ] SlotAdvIdx[9747] CRNTI[17017]-Layer(1): fEstAvgSnr[97.800] freq\_offset[41.897]Hz tmp\_TAEst[0] TAEst[-10] AntSelect[0] DMRSNum[2]

311240

[04-25 10:31:02.008][INFO ] ===== [phy\_ul\_pusch\_decode\_callback] CellIdx[0] SfidIdx[9747] SlotAdvIdx[9747] iCtx[3] Decode\_Time[26.971]us

311241

[04-25 10:31:02.008][INFO ] [UL\_DECODE\_RESULT, FCI[40] SfidIdx[9747] CRNTI[17017] RxAnt[2] LayNum[2] DMRSAddPos[1] NumSymb[13] UEIdx\_DDR[0] TBSIZE[560] MCS[23] HarqID[8] NDI[1] RV.

311242

311243

[04-25 10:31:02.008][INFO ] [PHY-->DU] MSG TYPE PHY\_SLOT\_IND: CellNum[1], SlotIdx[9749], TTI[487,9], TimeDiff[498.822]us.

311244

[04-25 10:31:02.008][INFO ] [FH\_PUSCH\_RX, CellIdx[0] FPGAslot[487,4,0] slotIdx[9748] gPkt[12150]

311245

[04-25 10:31:02.009][INFO ] [PHY-->DU] MSG TYPE PHY\_SLOT\_IND: CellNum[1], SlotIdx[9750], TTI[487,10], TimeDiff[498.094]us.

311246

[04-25 10:31:02.009][ERROR] Previous UL list is not completed CellIdx[0] Subframe[9750] SfidIdx[9750] iCtx[2] gMySfn[112154]

311247

[04-25 10:31:02.009][ERROR] ===== [ul\_task\_PrintRec:9750]=====

311248

[04-25 10:31:02.009][ERROR] [UL\_FPGA\_PUSCH|UL\_FPGA\_PRACH|UL\_FPGA\_DECODE|UL\_PUSCH\_DMRS0|UL\_PUSCH\_DMRS1|UL\_PUSCH|UL\_SRS|UL\_TB

311249

[04-25 10:31:02.009][ERROR] 9748 9739 9747 9748 9748 9748 9745

311250

[04-25 10:31:02.009][INFO ] [FH\_PUSCH\_RX, CellIdx[0] FPGAslot[487,4,1] slotIdx[9749] gPkt[12151]

311251

[04-25 10:31:02.009][INFO ] [PHY-->DU] MSG TYPE PHY\_SLOT\_IND: CellNum[1], SlotIdx[9751], TTI[487,11], TimeDiff[498.798]us.

311252

[04-25 10:31:02.009][INFO ] [FH\_PUSCH\_RX, CellIdx[0] FPGAslot[487,5,0] slotIdx[9750] gPkt[12152]

311253

[04-25 10:31:02.009][FATAL] phy\_bbupool\_reset\_cell\_state, Reset pBbu->nCurrentSfidIdx-->>>[-1]

311254

[04-25 10:31:02.009][WARNNG] [bbupool\_rt\_thread] RunCount[7], RUN taskId=6 cellIdx[0], slot=9750, nCurrentSfidIdx=9751, dealtime[713.990]us

311255

|                                                          |     |            |
|----------------------------------------------------------|-----|------------|
| 相关的问题:                                                   |     |            |
| 关联到 2.0基站产品化测试 - 错误 #2004: 15ppre1版本测多终端切换时其中1个基站出现phy挂死 | 已关闭 | 2024-07-30 |

历史记录

#1 - 2024-04-28 17:36 - 匿名用户

- 状态 从 新建 变更为 进行中

修改增加调测的版本，发现 phy在ul post 任务后的后处理函数 存在被阻塞的情况如下：

[04-26 14:09:21.928][DEBUG]---- 6\_UL\_L1\_CONFIG, CellIdx[0] Subframe[4127] SlotAdvIdx[4127] iCtx[3] TimeDiff[501.958]us

[04-26 14:09:21.928][DEBUG][Begin]===== [UL\_Format0\_CONFIG][RX:206,7]=====

[04-26 14:09:21.928][DEBUG]UEId[nRNTI|StartPRB|StartPRB2ndHop|StartSym|SymNum|FreqHop|GroupHop|SeqHop|HopId|m0 |SrCheck|Payload|RxAnt|nSlot

[04-26 14:09:21.928][DEBUG]0 |17017|8 |0 |13 |1 |0 |0

[04-26 14:09:21.928][DEBUG] |0 |40 |0 |0 |1 |2 |7

[04-26 14:09:21.928][DEBUG]UL\_CONFIG\_STAT\_COUNT: NumPUSCH[0] NumPUCCH[1] NumSRS[0] Ack[0] PuschTwoSlotProc[0]

PUCCHFormat(0-4)[1, 0, 0, 0, 0]

```
[04-26 14:09:21.928][DEBUG]PUSH_API_TO_QUEUE:[push:44, pop:43], apiArraySfn[4130] numInQueue[25]
[04-26 14:09:21.928][DEBUG]phy_ul_pusch_symbol_buffer_pre_alloc_func, RX[206, 7], PUSCHGrantNum[0]
[04-26 14:09:21.928][ERROR]taskInnerScheduler:readSf[4087] taskSlot[4127] nRow[7] taskType[17], queueId[0] cell[0] prefer_cell[16] readOffset[0]
writeOffset[1] nThreadIdx[4]
[04-26 14:09:21.928][ERROR]taskInnerScheduler, fixed TaskSlot[4127] --->pnReadSf[4087]!!
[04-26 14:09:21.928][DEBUG][phy_dl_x86_encode_task_func]: CellIdx[0] SlotIdx[4127] SlotAdvIdx[4129] Ctx[1] FEC_DealTime[0.108]us
[04-26 14:09:21.928][ERROR]!!![bbupool_rt_thread] DEADLINE taskId=17 cellIdx=0 slot=4087 nCurrentSfIdx=4127, nSfDiff[-40],
processingTimeOffset[-5]
[04-26 14:09:21.928][DEBUG]Func:Reset_ul_buf, CellIdx[0] slot[4087] SlotAdvIdx[4087] iCtx[3] PhyState[1] bufIdx[2] RNum[273]
oneSymDataSize[13104] // 4087的后处理函数被阻塞，在40个slot后才触发。
[04-26 14:09:21.928][INFO]FH_PUSCH_RX, CellIdx[0] FPGAslot[206,3,0] slotIdx[4126] gPkt[4928]
```

修改版本 YZS\_PRU\_V2.0.120\_20240428 测试中。

- #2 - 2024-05-06 10:17 - 孙浩
- 状态 从 进行中 变更为 挂起
- 优先级 从 高 变更为 普通

T5版本上行双天线phy挂死的问题，目前只在西安环境40基站上复现，70基站不出现，该问题挂起。

- #3 - 2024-07-30 14:32 - 孙浩
- 关联到 错误#2004: 15ppre1版本测多终端切换时其中1个基站出现phy挂死 已添加

- #4 - 2024-10-18 10:54 - 匿名用户
- 状态 从 挂起 变更为 已关闭

问题单关闭，上行2ant超时挂死的问题已经解决。

- #5 - 2024-10-22 16:34 - 匿名用户
- 主题 从 T5版本上行2天线星创易联cpe接入后phy必挂死，四信cpe接入灌包后偶尔出现phy挂死 变更为 【系统卡顿问题】T5版本上行2天线星创易联cpe接入后phy必挂死，四信cpe接入灌包后偶尔出现phy挂死
- 状态 从 已关闭 变更为 进行中

修改标题，归类为系统卡对问题。

- #6 - 2024-11-30 13:57 - 孙浩
- 状态 从 进行中 变更为 挂起
- 指派给 已删除 (匿名用户)

- #7 - 2024-12-18 11:55 - 孙浩
- 指派给 被设置为 孙浩

目前大上行子帧配置上行双天线接入星创易联cpe未在出现phy挂问题，问题关闭。

- #8 - 2024-12-18 11:56 - 孙浩
- 状态 从 挂起 变更为 进行中

- #9 - 2024-12-18 11:56 - 孙浩
- 状态 从 进行中 变更为 已关闭

文件

|                                           |         |            |    |
|-------------------------------------------|---------|------------|----|
| yzrt_l1_20240425102839_1714012262.log.zip | 4.76 MB | 2024-04-28 | 孙浩 |
| phy挂日志.jpg                                | 835 KB  | 2024-04-28 | 孙浩 |