

2.0基站产品化测试 - 错误 #1898

优化ddds处理逻辑，提前解析发给dl_thread处理

2024-06-25 10:24 - 李玮璇

状态:	已关闭	开始日期:	2024-06-25
优先级:	普通	计划完成日期:	
指派给:	李 玮璇	% 完成:	0%
类别:		预期时间:	0.00 小时
目标版本:		耗时:	0.00 小时
问题归属:	CU	FPGA板卡类型:	
发现问题版本:	Rel_2.1.14P	CPU类型:	
目标解决问题版本:	Rel_2.1.14P		
描述			
目前处理逻辑是先抛给上行线程，再发给下行处理处理ddds，可优化直接发给下行线程			

历史记录

#1 - 2024-07-02 09:40 - 李 玮璇

- 状态从 新建 变更为 已关闭

经过讨论此优化收益不大，且后续ddds理论可伴随数据下发，因此不做提前处理