

2.0基站产品化测试 - 错误 #1975

2.1.15p_pre1版本，开启ul_tp_mode，上行峰值速率可以得到10%左右的提高，但是同时下行mcs会很快掉0，同时有70%左右的误码率

2024-07-19 09:50 - 王旭初

状态:	已解决	开始日期:	2024-07-19
优先级:	普通	计划完成日期:	
指派给:		% 完成:	0%
类别:		预期时间:	0.00 小时
目标版本:		耗时:	0.00 小时
问题归属:	DU	FPGA板卡类型:	
发现问题版本:	Rel_2.1.15P	CPU类型:	
目标解决问题版本:	Rel_2.1.15P		
描述			
已和du沟通，可能存在问题，提单跟踪			

历史记录

#1 - 2024-07-19 14:11 - 匿名用户

- 状态从 *新建* 变更为 *进行中*

猜测是pusch 和 pucch冲突导致的下行误码上升，mcs下降。等旭初有空复现提供log分析一下。

#2 - 2024-07-19 17:42 - 匿名用户

经过分析是由于PUSCH 和PUCCH符号分开，而UL TPT Mode强行占用了pucch符号，导致下行的UCI反馈与PUSCH冲突，但是又没有进行随路，从而错误。

经过修改并自测，版本已提供给旭初。

遗留问题，UCI随路会引入少量误码，但单UE峰值确实提高了(时域增加了一个符号，频域增加了common pucch和prach预留的RB)该UCI随路引入的误码可能与PHY检测相关。

#3 - 2024-07-22 17:30 - 匿名用户

- 状态从 *进行中* 变更为 *转测试*

- 指派给从 *匿名用户* 变更为 *王旭初*

#4 - 2024-07-24 10:46 - 王旭初

- 状态从 *转测试* 变更为 *已解决*

- 指派给 *已删除(王旭初)*

已提供测试版本，验证ok