

2.0基站产品化测试 - 错误 #2005

下行双天线单流，UE无法接入

2024-07-30 14:25 - 牛兵桃

状态:	已解决	开始日期:	2024-07-30
优先级:	普通	计划完成日期:	
指派给:		% 完成:	0%
类别:		预期时间:	0.00 小时
目标版本:		耗时:	0.00 小时
问题归属:	PHY	FPGA板卡类型:	
发现问题版本:	Rel_2.1.15P	CPU类型:	
目标解决问题版本:	Rel_2.1.16P		
描述			
子帧配比2.5ms配置下，下行天线端口数由默认值2修改为1后，UE无法接入，大上行配置也是类似的，无法接入；			

历史记录

#1 - 2024-07-30 14:25 - 牛兵桃

- 指派给 被设置为 匿名用户

#2 - 2024-07-30 14:30 - 王旭初

该问题在大上行同样存在，麻烦phy同步定位一下

#3 - 2024-10-15 11:56 - 匿名用户

- 状态 从 新建 变更为 已解决

参数配置错误，下行双天线单流，应该是配置为 2 端口，1层，不应该配置为 1端口，2层。