

2.0基站产品化测试 - 错误 #2020

且末基站出现时钟同步异常，导致进展无法正常启动

2024-08-06 17:20 - 匿名用户

|           |                |           |                   |
|-----------|----------------|-----------|-------------------|
| 状态:       | 已解决            | 开始日期:     | 2024-08-06        |
| 优先级:      | 普通             | 计划完成日期:   |                   |
| 指派给:      |                | % 完成:     | 0%                |
| 类别:       |                | 预期时间:     | 0.00 小时           |
| 目标版本:     |                | 耗时:       | 0.00 小时           |
| 问题归属:     | DRV, FPGA, PHY | FPGA板卡类型: | 115P+PRU          |
| 发现问题版本:   | Rel_2.1.14P    | CPU类型:    | Xeon-gold5218(宝德) |
| 目标解决问题版本: | Rel_2.1.15P    |           |                   |
| 描述        |                |           |                   |

历史记录

#1 - 2024-08-06 17:22 - 匿名用户

- 状态 从 新建 变更为 转测试

问题修改完成，版本已经更新至【YZS\_PRU\_V2.2.23\_20240806】

#2 - 2024-10-15 17:22 - 匿名用户

- 状态 从 转测试 变更为 已解决