

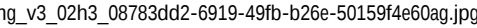
2.0基站产品化测试 - 错误 #2471

15Ppre1_T5版本，译码超时，导致物理层挂死

2024-11-28 10:10 - 孙 泽林

状态:	挂起	开始日期:	2024-11-28
优先级:	普通	计划完成日期:	
指派给:	杨 晋	% 完成:	0%
类别:		预期时间:	0.00 小时
目标版本:		耗时:	0.00 小时
问题归属:	PHY	FPGA板卡类型:	
发现问题版本:	Rel_2.1.15P	CPU类型:	
目标解决问题版本:	Rel_2.1.16P		
描述			
场景：两15Ppre1_T5版本基站反复切换压力 现象：之后两基站出现译码超时，两基站phy频繁挂死，各3次。 还需研发继续分析			

历史记录

- #1 - 2024-12-04 11:04 - 赵 强
- 文件 已添加
- 指派给从 赵 强 变更为 杨 晋

```
Line 1: [11-26 20:43:22.873][INFO ][TTI_START]: SlotIdx[559] CellTiming[0]
Line 11: [11-26 20:43:22.874][INFO ][TTI_START]: SlotIdx[560] CellTiming[0]
Line 15: [11-26 20:43:22.874][INFO ][TTI_START]: SlotIdx[561] CellTiming[0]
Line 19: [11-26 20:43:22.875][INFO ][TTI_START]: SlotIdx[562] CellTiming[0]
Line 23: [11-26 20:43:22.876][INFO ][TTI_START]: SlotIdx[563] CellTiming[0]
Line 27: [11-26 20:43:22.876][INFO ][TTI_START]: SlotIdx[564] CellTiming[0]
Line 31: [11-26 20:43:22.877][INFO ][TTI_START]: SlotIdx[565] CellTiming[0]
Line 35: [11-26 20:43:22.877][INFO ][TTI_START]: SlotIdx[566] CellTiming[0]
Line 39: [11-26 20:43:22.878][INFO ][TTI_START]: SlotIdx[567] CellTiming[0]
```

应该是两个875，但只有一个875。这个时刻中断都丢了。

- #2 - 2024-12-27 16:49 - 杨 晋
- 状态从 新建 变更为 进行中

以前的一个老问题

- #3 - 2025-03-19 16:37 - 杨 晋
- 状态从 进行中 变更为 挂起

文件

img_v3_02h3_08783dd2-6919-49fb-b26e-50159f4e60ag.jpg	118 KB	2024-12-04	赵 强
--	--------	------------	-----