

eCPRI - 功能 #488

CM

2021-03-18 09:34 - 匿名用户

状态:	已解决	开始日期:	2021-03-18
优先级:	普通	计划完成日期:	
指派给:		% 完成:	100%
类别:	FPGA	预期时间:	0.00 小时
目标版本:		耗时:	0.00 小时
问题归属:			
描述			
描述：pru部分的配置通道建立			
相关的问题:			
关联到 eCPRI - 功能 #505: eCPRI联调测试			已解决 2021-03-24

历史记录

#1 - 2021-03-22 09:37 - 匿名用户

- % 完成 从 0 变更为 30

DU/RU 部分，CM相关代码梳理完成，文档编写30%

- 步骤：
- ①文档
 - ②代码
 - ③仿真
 - ④在板

#2 - 2021-03-26 09:36 - 匿名用户

- 类别 被设置为 FPGA

- 状态 从 新建 变更为 进行中

- % 完成 从 30 变更为 40

- 步骤：
- ①文档 编写完成
 - ②代码 进度30%
 - ③仿真
 - ④在板

#3 - 2021-03-26 18:31 - 匿名用户

- 步骤：
- ①文档 编写完成
 - ②代码 进度50%
 - ③仿真
 - ④在板

#4 - 2021-03-30 20:49 - 匿名用户

- % 完成 从 40 变更为 50

- ①文档 编写完成
- ②代码 编写完成
- ③仿真 进度50%
- ④在板

#5 - 2021-04-02 18:09 - 匿名用户

- % 完成 从 50 变更为 70

- ①文档 编写完成
- ②代码 编写完成

- ③仿真 进度100%
- ④在板

#6 - 2021-04-19 09:32 - 匿名用户

- % 完成 从 70 变更为 80

- ①文档 编写完成
 - ②代码 编写完成
 - ③仿真 进度100%
 - ④在板 进度60%
- 完成ru部分的pl写读测试以及ps部分的写读测试
准备合并du部分代码，以及测试du到ru的写/读通道

#7 - 2021-04-22 20:49 - 匿名用户

- ①文档 编写完成
 - ②代码 编写完成
 - ③仿真 进度100%
 - ④在板 进度80%
- 测试du到ru的通道，ru及du的ecpri rx部分对type4的非tti类型判断缺失

#8 - 2021-04-23 18:23 - 匿名用户

修复ru的ecpri_rx模块，e_usr_top可以接收来自du的cm数据

发现问题

- ① cm_top仅能收到第一次的cm数据
- ②du传递的cm数据跟地址无问题，读写使能有问题。

#9 - 2021-04-24 15:00 - 匿名用户

发现问题

- ① cm_top仅能收到第一次的cm数据 ->ru的e_usr_top模块状态机问题
- ②du传递的cm数据跟地址无问题，读写使能有问题。->du的cm分配模块问题，待出版本修复。

#10 - 2021-04-27 21:00 - 匿名用户

deframer_to_chan 的计数分支type类型判断错误导致状态机卡住，已修复。

测试pl的bar写入无问题；
测试ps的写入可以到达，但每2次信号产生一次打印，需要debug。

#11 - 2021-04-28 18:42 - 匿名用户

已解决2次仅1次生效问题，是ps_interface模块的状态机有问题导致覆盖。

#12 - 2021-04-29 12:03 - 匿名用户

DU至RU_pl RU_ps写入测试通过。

待验证：

- ① du带数据跑
- ②du读取
- ③x86的bar联调

#13 - 2021-04-30 12:29 - 吕国荣

- 关联到 功能 #505: eCPRI联调测试 已添加

#14 - 2021-05-08 17:50 - 匿名用户

- ①文档 编写完成
- ②代码 编写完成
- ③仿真 进度100%
- ④在板 进度90%

在板，du模拟dma_bar的读写操作，可以成功进行①写ru_pl ②读ru_pl ③写ru_ps ④读ru_ps的写入值

待完成

- ①合并du的正常数据通道进行验证
- ②讨论ru的配置寄存器表，联合x86调试通道

#15 - 2021-05-19 15:20 - 匿名用户

- ①已合并du 版本号为E1F_EPB02_V_1_1_2_T210510_N3D_harqD7

已合并ru 版本号为R2F_FFB02_V_1_0_0_T210517_TEST_CM

②已讨论rucm的寄存器，见《RU_CM寄存器列表.xlsx》，《CM寄存器配置说明2.0.docx》

③对合并的du/ru版本进行bar的fpga手动测试，可以读写ps/pl，x86程序运行不挂死。-> 正常数据通道无问题

④关于cm的write标志，4'b1000与4'b0001需要更正

⑤关于cm的ru ps，实测更改rx_gain成功，但是更改pll频率失败

》根据UG992文档，更改pll应当区分为小频率调整、大频率调整以及sniffer频率调整
》更新pll的ps配置程序，待验证

⑥确认收发频点跟通道相关的寄存器

#16 - 2021-05-19 17:56 - 匿名用户

- ①已确认跟收发频点相关的寄存器，文档更新了通道01收发频点《RU_CM寄存器列表3.0.xlsx》，《CM寄存器配置说明3.0.docx》，ps已更改。版本名不变
- ②cm的写1000、0001标志问题是reg_operating中只获取了1bit，更改为传递4bit即可
- ③pll配置程序已更新，待测试

#17 - 2021-05-20 11:06 - 匿名用户

- ①测试ps的发射频点、发射功率、接收增益可以正常配置，发射频点存在MYKONOS_resetExtTxLolChannel 执行报错，待定位

#18 - 2021-05-24 19:00 - 匿名用户

- ①对中断引起类似打印错误，是Setpllfrequency中的writeArmData引起。将中断函数的执行放在主函数，中断仅提供标志
- ②测试tx0/1的频点改动、功率改动无问题
- ③测试rx的频点改动、功率配置，未报错，认为风险不大

ru复位部分，

- ①尝试对pl进行局部复位
- ②探索硬复位的可能性

#19 - 2021-05-25 21:12 - 匿名用户

- % 完成从 80 变更为 90

- ①已修正通道问题，将reg_addr[31:24]改为[31:28]ecpri_id [27:24]channel_id 测试ok
- ②复位已经测试，可以通过fpgaMT2.1接口控制ru的复位

使用fpgaMT2.1对ru的其他pl/ps功能进行扫描测试即可

#20 - 2021-05-26 18:59 - 匿名用户

- 状态从进行中 变更为 已解决

- % 完成从 90 变更为 100

- ①通过维测FPGAMT2.1接口测试并修正ru的bug