

基站下电重启后，第一次启动出现prach任务异常导致ul 任务超时

2021-04-27 17:11 - 吕国荣

状态:	已解决	开始日期:	2021-04-27
优先级:	高	计划完成日期:	2021-04-29
指派给:	吕国荣	% 完成:	0%
类别:	系统	预期时间:	0.00 小时
目标版本:		耗时:	0.00 小时
问题归属:			
描述			
相关的问题:			
关联到 eCPRI - 功能 #505: eCPRI联调测试		已解决	2021-03-24

历史记录

#1 - 2021-04-27 17:13 - 吕国荣

- 状态从新建变更为进行中
- 优先级从普通变更为高

1、抓取log发现FH过来的数据中的填写的slot和io线程中填写的tti的值差太多，log如下：

```
[04-27 16:10:37.472][DEBUG]FH_RX, CellIdx[0] FPGAslot[1023,5,0] slotIdx[20470] bbuRunningFlag[1] gPhyState[1] /
/ 前传数据过来的slot 20470
[04-27 16:10:37.473][DEBUG]Func:phy_bbupool_update_multi_cell_status, nSfIdx[20478], nCellNum[1] //tti中填写的slot 20478
[04-27 16:10:37.473][DEBUG]FH_RX, CellIdx[0] FPGAslot[1023,5,1] slotIdx[20471] bbuRunningFlag[1] gPhyState[1]
[04-27 16:10:37.473][DEBUG]Func:phy_bbupool_update_multi_cell_status, nSfIdx[20479], nCellNum[1]
[04-27 16:10:37.473][DEBUG]FH_RX, CellIdx[0] FPGAslot[1023,6,0] slotIdx[20472] bbuRunningFlag[1] gPhyState[1]
[04-27 16:10:37.474][DEBUG]Func:phy_bbupool_update_multi_cell_status, nSfIdx[0], nCellNum[1]
[04-27 16:10:37.474][DEBUG]FH_RX, CellIdx[0] FPGAslot[1023,6,1] slotIdx[20473] bbuRunningFlag[1] gPhyState[1]
[04-27 16:10:37.474][DEBUG]Func:phy_bbupool_update_multi_cell_status, nSfIdx[1], nCellNum[1]
[04-27 16:10:37.474][INFO ]phy_bbupool_rx_handler: PhyId[0] nSfIdx[1] frame,slot[0,1] gNumSlotPerSfn[20]
```

#2 - 2021-04-27 17:14 - 吕国荣

- 关联到 功能#505: eCPRI联调测试已添加

#3 - 2021-04-27 18:14 - 吕国荣

启动正常的log：

```
[04-27 18:05:03.118][DEBUG]FH_RX, CellIdx[0] FPGAslot[1023,8,0] slotIdx[20476] bbuRunningFlag[1] gPhyState[1]
[04-27 18:05:03.119][DEBUG]Func:phy_bbupool_update_multi_cell_status, nSfIdx[20478], nCellNum[1]
[04-27 18:05:03.119][DEBUG]FH_RX, CellIdx[0] FPGAslot[1023,8,1] slotIdx[20477] bbuRunningFlag[1] gPhyState[1]
[04-27 18:05:03.119][DEBUG]Func:phy_bbupool_update_multi_cell_status, nSfIdx[20479], nCellNum[1]
[04-27 18:05:03.119][DEBUG]FH_RX, CellIdx[0] FPGAslot[1023,9,0] slotIdx[20478] bbuRunningFlag[1] gPhyState[1]
[04-27 18:05:03.120][DEBUG]Func:phy_bbupool_update_multi_cell_status, nSfIdx[0], nCellNum[1]
[04-27 18:05:03.120][DEBUG]FH_PRACH_RX, CellIdx[0] FPGAslot[1023,9,1] slotIdx[20479] eCellActive[10] bbuRunningFlag[1] gPhyState[1]
```

#4 - 2021-04-29 20:05 - 吕国荣

- 状态从进行中变更为转测试

晓阳修改RU侧，下行和上行的子帧号，修改后，断电重启，时序正常。

#5 - 2021-06-15 14:08 - 吕国荣

- 状态从转测试变更为已解决