

上行大带宽 - 错误 #592

大上行问题debug

2021-07-19 10:34 - 匿名用户

状态:	已解决	开始日期:	2021-07-19
优先级:	立刻	计划完成日期:	
指派给:		% 完成:	0%
类别:		预期时间:	0.00 小时
目标版本:	Rel_2.1.6P	耗时:	0.00 小时
问题归属:	FPGA	CPU类型:	
描述			
现象：可以到随机接入，但是花费时间最长可以到17分钟			
调试： fpga使用单音+频谱仪零span确认配比 fpga确认接收功率 其他再行讨论			

历史记录

#1 - 2021-07-19 18:12 - 匿名用户

- 文件 大上行0span观察.jpg 已添加
- 文件 大上行0span观察2.jpg 已添加
- 状态从 新建 变更为 进行中

fpga使用单音+频谱仪零span确认配比

确认配比正常，切换时间计算，周期5ms=10slot,在第2slot切换。计算【下行】占时1ms+0.214ms 1.21ms，【上行】占时间=3.5+0.14ms+0.11ms 3.75ms
见下图：图中周期5ms，下行占据1.15/1.20ms



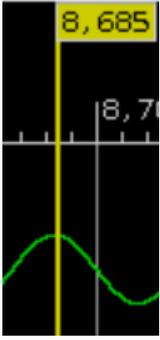
#2 - 2021-07-20 12:33 - 匿名用户

- 文件 u-d切换位置.png 已添加
- 文件 底噪.png 已添加
- 文件 d_u切换位置.png 已添加
- 文件 天线0接收幅值.png 已添加
- 文件 天线1接收幅值.png 已添加

上行测试结果：

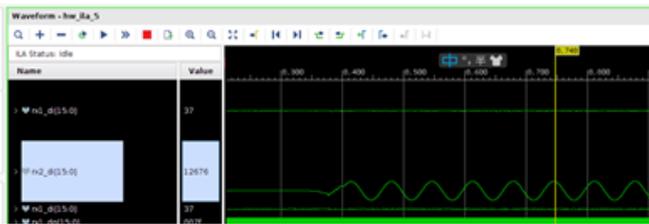
天线0，接收功率符合之前记录。

实测幅值06850，实测输入功率-45dBm；根据记录幅值25500、功率-36.5dBm,推算输入功率-45.8dBm。



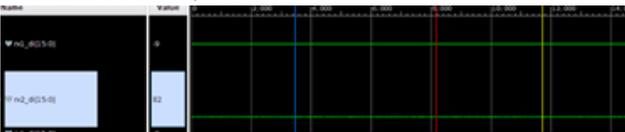
天线1，接收功率大于天线0 约3dB

实测幅值12676，实测输入功率-45dBm，推算输入-42.5dBm



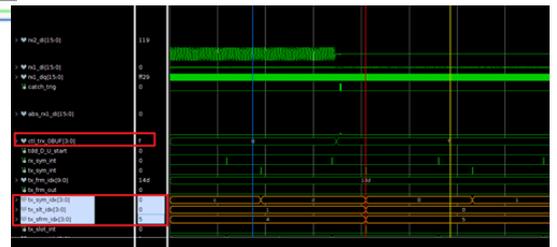
底噪符合

测试幅值为100左右，记录值为115



切换位置符合

d->u, u->d共四个位置，上行表现符合大上行的位置



#3 - 2021-07-31 14:50 - 匿名用户

- 状态从进行中变更为挂起

最终测试跟终端有关系，有的终端容易接入，有的终端不易接入

#4 - 2021-12-09 09:40 - 匿名用户

- 状态从挂起变更为进行中

#5 - 2021-12-09 09:40 - 匿名用户

- 状态从进行中变更为已解决

文件

大上行0span观察.jpg	133 KB	2021-07-19	匿名用户
大上行0span观察2.jpg	142 KB	2021-07-19	匿名用户
u-d切换位置.png	34.3 KB	2021-07-20	匿名用户
底噪.png	7.73 KB	2021-07-20	匿名用户
d_u切换位置.png	71.4 KB	2021-07-20	匿名用户
天线0接收幅值.png	2.65 KB	2021-07-20	匿名用户
天线1接收幅值.png	18.7 KB	2021-07-20	匿名用户