

600/5800转频终端 & 5.8G PRU - 错误 #611

功能 # 591 (已解决): 转频电路板上板测试

data_align模块数据输出错误

2021-07-30 10:38 - 匿名用户

状态:	已解决	开始日期:	2021-07-30
优先级:	普通	计划完成日期:	
指派给:		% 完成:	100%
类别:	FPGA	预期时间:	0.00 小时
目标版本:		耗时:	0.00 小时
问题归属:			
描述			
现象： 模块时钟正常 fifo后数据无输出 请教老杨后确认是fifo复位问题			

历史记录

#1 - 2021-07-30 18:02 - 匿名用户

- 状态 从 新建 变更为 进行中
- 父任务 被设置为 #591

原因：
 fifo使用的时钟为射频接收随路时钟
 初始可能无此时钟
 复位信号来自ps
 导致fifo无法正确复位
解决：
 由射频时钟，进行二次复位

#2 - 2021-07-31 14:43 - 匿名用户

- 状态 从 进行中 变更为 已解决

 怀疑仍然是rx的随路时钟，data_clk，上电时不稳定，导致该时钟同步的复位无法正确对fifo复位
 使用ps给出的mtime_start作为data_clk驱动fifo的复位信号，测试可以使用

#3 - 2021-07-31 14:45 - 匿名用户

- % 完成 从 0 变更为 100