

600/5800转频终端 & 5.8G PRU - 功能 #619

功能 # 591 (已解决): 转频电路板上测试

确认fpga内部计算结果

2021-08-06 17:30 - 匿名用户

状态:	已解决	开始日期:	2021-08-06
优先级:	普通	计划完成日期:	
指派给:		% 完成:	100%
类别:	FPGA	预期时间:	0.00 小时
目标版本:		耗时:	0.00 小时
问题归属:			
描述			
观察sync_alg及调整的计算结果			

历史记录

#1 - 2021-08-20 19:14 - 匿名用户

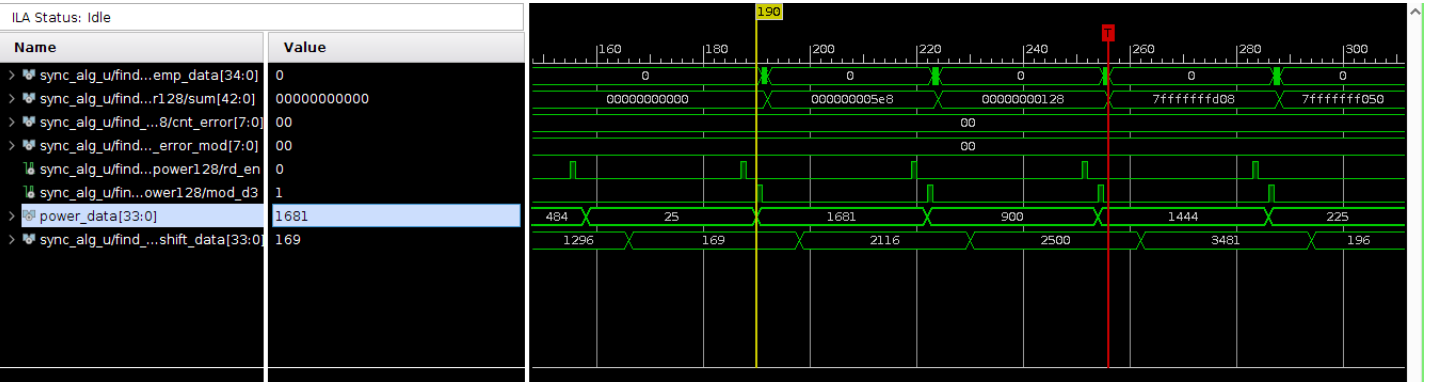
- % 完成 从 0 变更为 100

- 已解决频偏带来的峰值过小问题
- 已解决peak_pos缺失符号位带来的负数问题
- 已解决sync_alg 乘法器等ip未加复位信号带来的初始128点不为0的问题
- 已解决proc_ctrl带来的发数循环周期错误引起的peak-pos抖动问题
- 已解决proc_ctrl复位判断错误引起的 给sync_alg数据传输时复位的问题

下一步计划：
目前发数循环间隔是80ms，进一步缩减到40ms
对时偏、频偏进行闭环

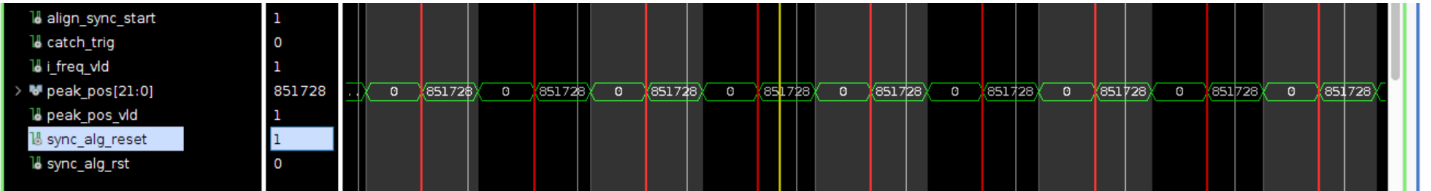
#2 - 2021-08-23 12:01 - 匿名用户

- 文件 210820_负数问题.png 已添加
- 文件 210820-80msproc_发数样点稳定.png 已添加
- 文件 2021020-周期带来抖动.png 已添加
- 文件 20210820-复位问题.png 已添加
- 文件 20210820-频偏峰值过小.png 已添加



=====

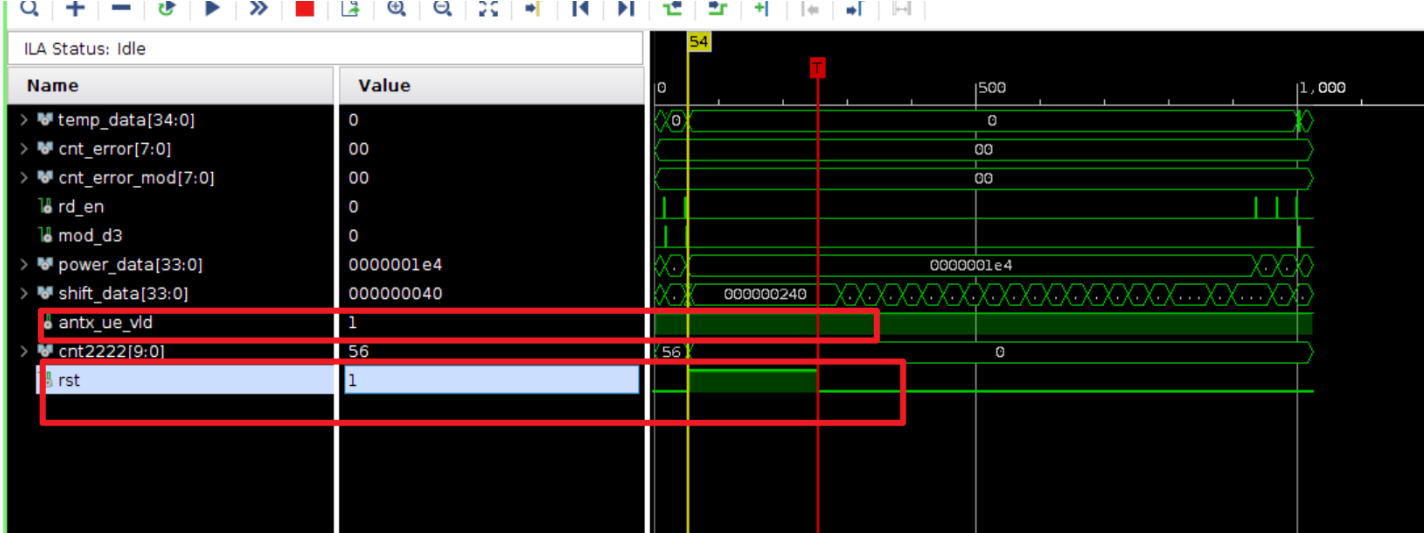
发数样点稳定



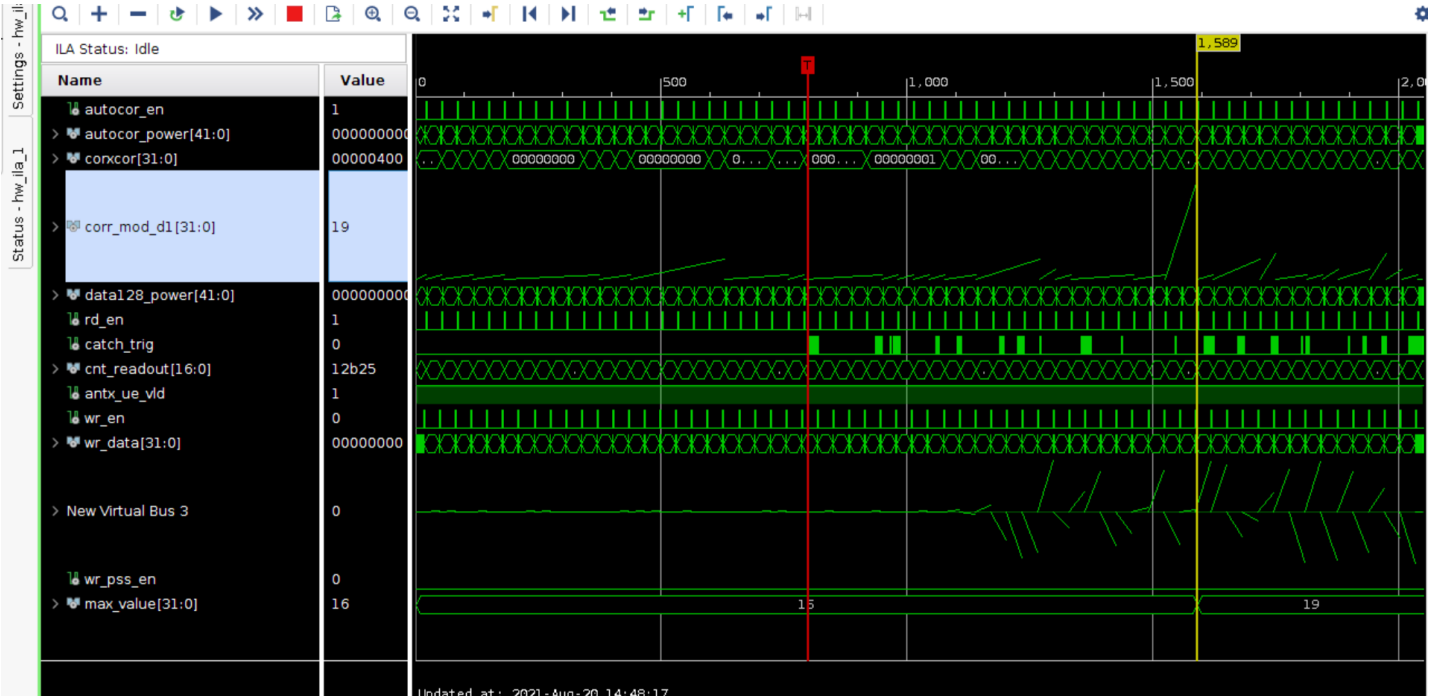
周期问题带来peak——pos抖动

时偏调整规律		
时偏调整量	相邻两次样点差	时间差
1083472		
407632	675840	11ms
960592	552960	9ms
284752	675840	11ms
837712	552960	9ms
161872	675840	11ms
100432	61440	1ms
653392	552960	9ms
1206352	552960	9ms
530512	675840	11ms
1083472	552960	9ms
407632	675840	11ms
960592	552960	9ms
284752	675840	11ms

复位跟数据冲突问题



频偏导致峰值过小，信号未拉高



#3 - 2021-09-01 18:47 - 匿名用户
- 状态从 新建 变更为 已解决

文件

210820_负数问题.png	25.7 KB	2021-08-23	匿名用户
210820-80msproc_发数样点稳定.png	60.6 KB	2021-08-23	匿名用户
2021020-周期带来抖动.png	14.6 KB	2021-08-23	匿名用户
20210820-复位问题.png	109 KB	2021-08-23	匿名用户
20210820-频偏峰值过小.png	238 KB	2021-08-23	匿名用户