

600/5800转频终端 & 5.8G PRU - 功能 #630

功能 #591 (已解决): 转频电路板上测试

频偏闭环

2021-08-23 15:39 - 匿名用户

状态:	已解决	开始日期:	2021-08-23
优先级:	普通	计划完成日期:	
指派给:		% 完成:	100%
类别:	FPGA	预期时间:	0.00 小时
目标版本:		耗时:	0.00 小时
问题归属:			
描述			
将sync-alg计算结果同ps的频偏调整闭环			

历史记录

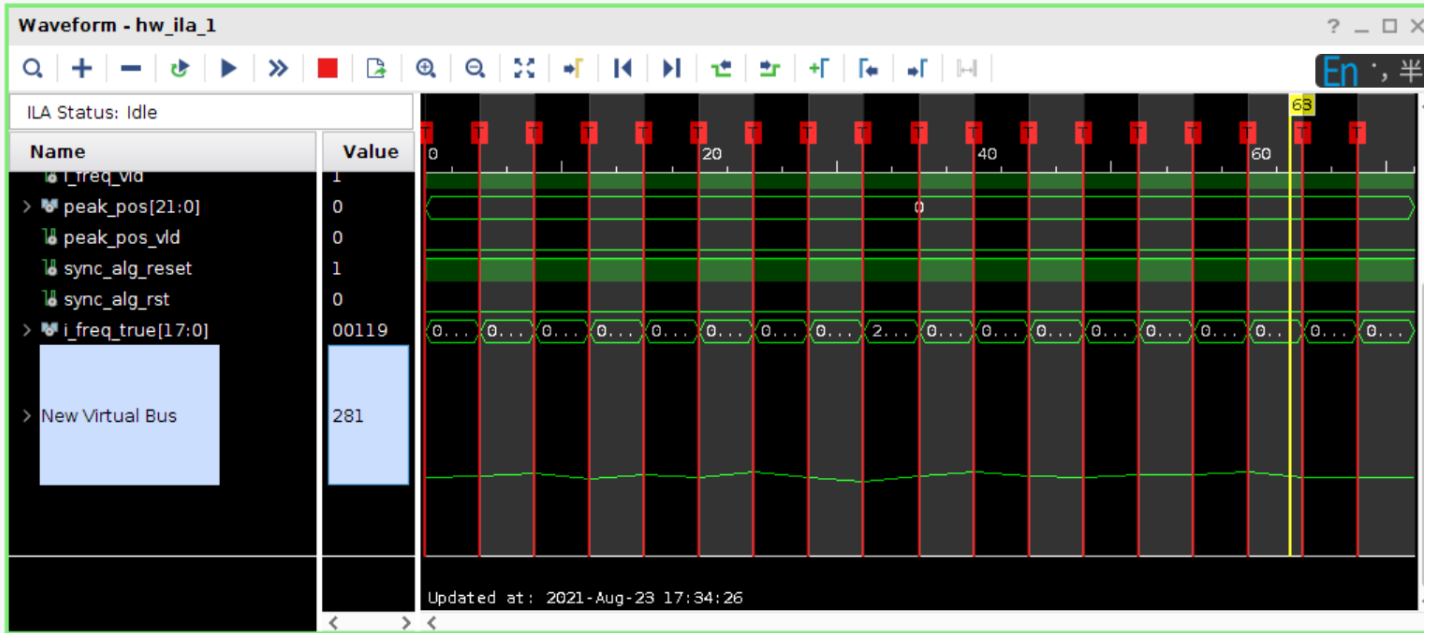
#1 - 2021-08-23 17:49 - 匿名用户

- 文件 210823_1s级别调整.png 已添加
- 文件 210823_100ms级别调整.png 已添加
- 文件 210823_频偏调整抖动.png 已添加
- 文件 210823_频偏调整3000_100.png 已添加
- 状态从 新建 变更为 已解决
- % 完成从 0 变更为 100

经过测试，100ms左右的频偏调整间隔比较合适，即在本次频偏后，间隔100ms，再发出下次大使能进行频偏计算。

抖动幅度约在50Hz。同时钟本身漂移频率接近

210823_1s级别调整.png



210823_100ms级别调整.png

