600/5800转频终端 & 5.8G PRU - 功能 #631

功能 # 591 (已解决): 转频电路上板测试

时偏闭环

2021-08-23 17:50 - 匿名用户

状态:	已解决	**开始日期:**	2021-08-23
优先级:	普通	**计划完成日期:**	
指派给:		**% 完成:**	100%
类别:	FPGA	**预期时间:**	0.00 小时
目标版本:		**耗时:**	0.00 小时
问题归属:			

描述

将sync_alg计算的时偏结果连接到sfn模块

要求调整后，ssb的sfn位置基本不变

历史记录

#1 - 2021-08-30 09:40 - 匿名用户

- 文件 210825_调整量.png 已添加

- 文件 210825_时偏调整量.png 已添加

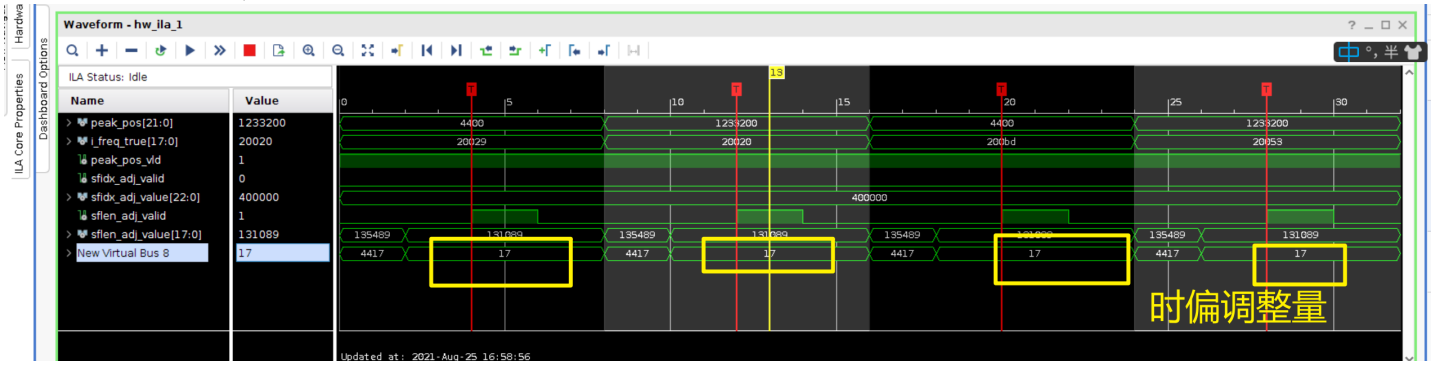
- 状态 从 新建 变更为 已解决

- % 完成 从 0 变更为 100

①时偏越界问题
问题描述：在时偏靠近预期的4416点时，因采数21ms带来的2个ssb峰，导致时偏的计算摆动
问题解决：在proc_ctrl模块中进行判断，当大于1228800时，减去1228800，只计算0~1ms内的ssb。
图片：如下图，两个值相减，为1228800

K
peak_pos[21:0]
4416
4416
1233216
4416
4416
1233216
1233216
4416
1233200
4416
1233216
4416
4416
1233216
4416
4416
4416
4416
1233200
1233216
4416
1233216
4416
4416
1233216
4416

②时偏稳定在预期的17点，16点及以下不调整



文件

210825_调整量.png	24.4 KB	2021-08-30	匿名用户
210825_时偏调整量.png	128 KB	2021-08-30	匿名用户