

600/5800转频终端 & 5.8G PRU - 错误 #636

功能 # 591 (已解决): 转频电路板上测试

在板跟matlab计算的峰值不一致

2021-09-01 18:51 - 匿名用户

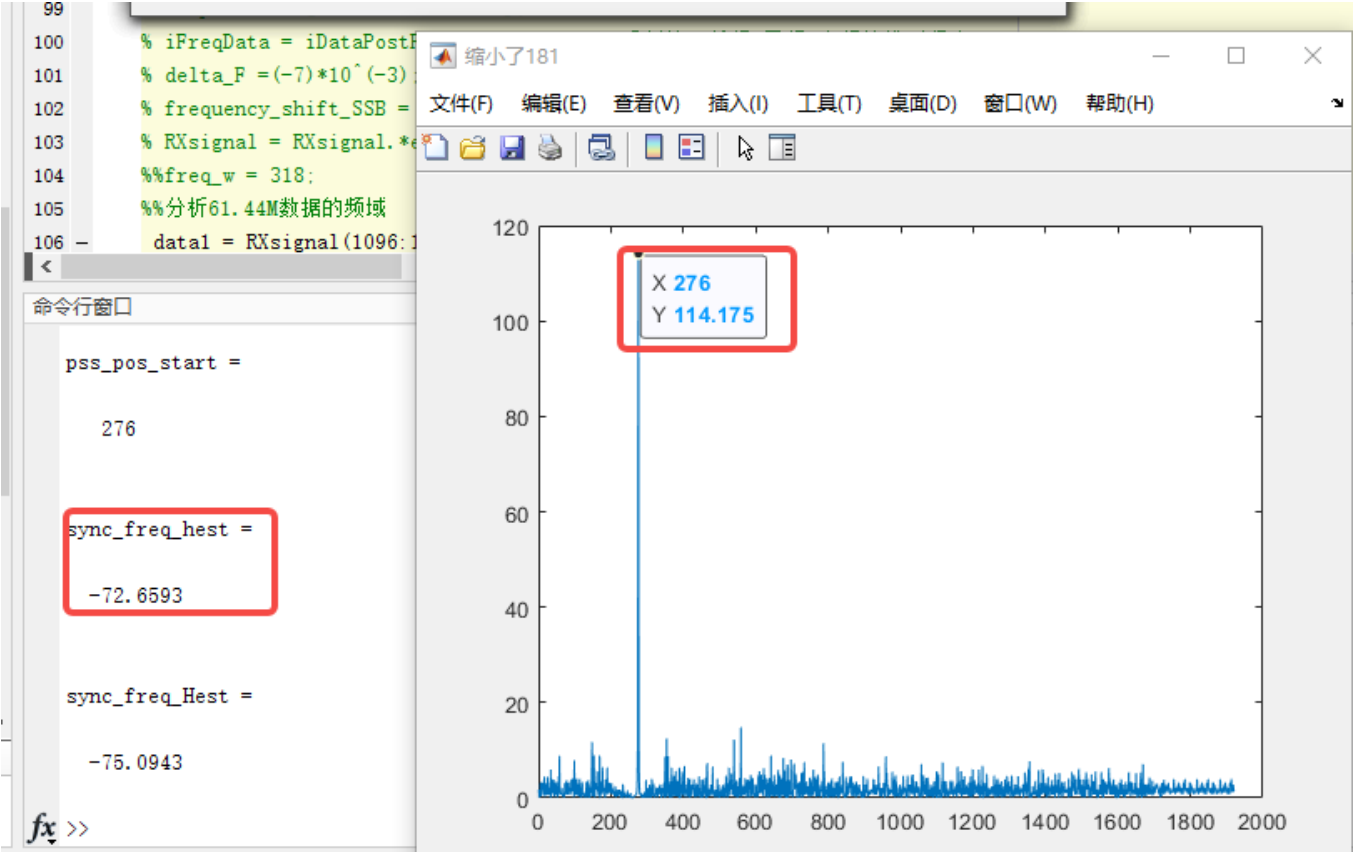
状态:	已解决	开始日期:	2021-09-01
优先级:	普通	计划完成日期:	
指派给:		% 完成:	0%
类别:	FPGA	预期时间:	0.00 小时
目标版本:		耗时:	0.00 小时
问题归属:			
描述			
现象： 在板的频偏基本一致，但是峰值差距很大 如频偏差几十hz，峰值在板110，matlab200多			

历史记录

- #1 - 2021-09-01 18:53 - 匿名用户
- 文件 210901_onboard.png 已添加
- 文件 210901_matlab.png 已添加
- 状态 从 新建 变更为 已解决
- 父任务 被设置为 #591

经过加大使能后采数确认，偏差是由于采数错了点引起

Name	Value	Activity	Direction	VIO
>  vio_cnt[15:0]	[H] 0001		Output	hw_vio_1
 vio_en	[B] 1		Output	hw_vio_1
>  vio_threshold[15:0]	[U] 200		Output	hw_vio_1
>  intr_data_2_ps[31:0]	[H] 0002_0BB8		Output	hw_vio_1
>  intr_reg_2_ps[31:0]	[H] 1000_0002		Output	hw_vio_1
 vio_sflen_adj_valid	[B] 0		Output	hw_vio_1
>  vio_sflen_adj_value[17:0]	[B] 10_0100_1110_0010_0000		Output	hw_vio_1
 vio_clear	0		Output	hw_vio_1
 vio_rden	1		Output	hw_vio_1
 tx_dds_en	[B] 1		Output	hw_vio_1
>  vio_max_value[31:0]	[U] 114		Input	hw_vio_1
>  vio_i_freq_data[15:0]	[S] -73		Input	hw_vio_1



文件

210901_onboard.png	127 KB	2021-09-01	匿名用户
210901_matlab.png	44.5 KB	2021-09-01	匿名用户