

7010工程3k频偏问题纠正

2021-09-08 16:43 - 匿名用户

状态:	已解决	开始日期:	2021-09-08
优先级:	普通	计划完成日期:	
指派给:		% 完成:	100%
类别:	FPGA	预期时间:	0.00 小时
目标版本:		耗时:	0.00 小时
问题归属:			

描述

使用算法，在ps部分对频偏进行纠正；
伪代码如下：

模块输入量：↵

SSB的中心频点 f_{SSB} ，输入子载波间隔的标识mu↵

输出量：↵

freq 频域偏移值↵

Alpha= $-2\pi \times f_{SSB} \times 2$ 个符号的时长。因为不同的子载波间隔，时长不一样。且SSB都属于正常的CP↵

↵

```
double    k=64;↵  
  
double delta_f_max = 480000.;↵  
  
double N_f = 4096.;↵  
  
double Tc = 1. / (delta_f_max*N_f);↵  
  
double coef1 = pow(2., (double)mu);↵  
  
double coef2 = pow(2., -(double)mu);↵  
  
double N_u = 2048. * k * coef2;↵  
  
double N_CP = 144. * k * coef2;  ↵  
  
double alpha = fSSB*2*(N_u+ N_CP)*Tc;↵  
  
double alpha_tmp = alpha-int(alpha);↵  
  
double freq = -alpha_tmp/(2*(Nu+Ncp)*Tc);↵
```

历史记录

- #1 - 2021-09-13 09:40 - 匿名用户
- 文件 210910_频偏3k补偿.jpg 已添加

观察3k补偿后有1.175k的频偏

经过测试， 硬件本身频偏大概300-500hz，所以不是硬件本身引入
移除频偏补偿，频谱仪频偏显示3.6-4.2k。这里推测部分是3.5k算法偏移，其余100~700hz可能是硬件偏移。
目前又试了几次，未复现1.175k的频偏。增加偏移补偿后，频谱仪显示频偏在100到700hz抖动，大概几秒抖一次



#2 - 2021-09-13 09:58 - 匿名用户

- 状态从 新建 变更为 进行中
- % 完成 从 0 变更为 80

预期是sync_alg模块输出值0~200，频谱仪看到频偏小于200；实际计算结果-3.5 差值500Hz；频谱仪看到的频偏最大可到700Hz

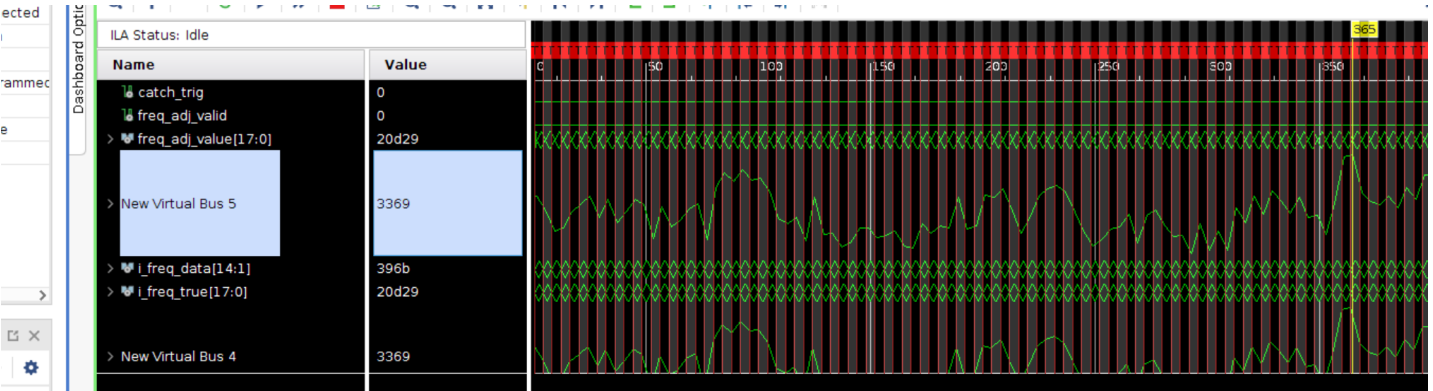
#3 - 2021-09-13 12:05 - 匿名用户

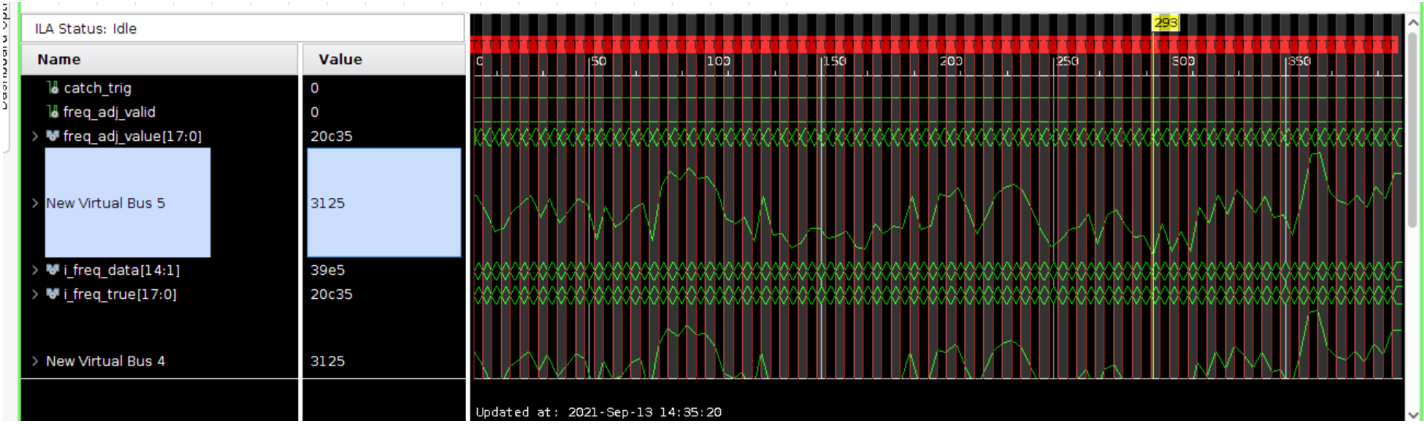
下一步测试：对频偏进行手动校准后，调整开环，统计sync_alg模块的输出值，观察输出值的波动

#4 - 2021-09-13 18:58 - 匿名用户

- 文件 210910_频偏3k补偿.jpg 已添加
- 文件 210909_频偏补偿.png 已添加
- 文件 210913_01.png 已添加
- 文件 210913_02.png 已添加

波动范围在200hz以内，
频谱仪波动范围也在200左右。





增加频偏调整的返回值判断；当频偏调整完毕后，才可以进行下一步动作。

#5 - 2021-09-15 11:21 - 匿名用户

- 状态从进行中变更为已解决

- %完成从80变更为100

经过确认，确实是频偏调整速度过快，导致频率抖动过大。
当设置 proc_ctrl频偏调整余量为300ms时，比较稳定。低于100ms会造成抖动问题。
目前频谱仪观察是200hz内抖动，很稳定，版本0xdc210909

文件

20210908_频偏纠正伪代码.png	40.6 KB	2021-09-08	匿名用户
210910_频偏3k补偿.jpg	87.2 KB	2021-09-13	匿名用户
210909_频偏补偿.png	78.5 KB	2021-09-13	匿名用户
210910_频偏3k补偿.jpg	87.2 KB	2021-09-13	匿名用户
210913_01.png	181 KB	2021-09-13	匿名用户
210913_02.png	173 KB	2021-09-13	匿名用户