STE - 功能 #651

FPGA上下行时偏调整功能

2021-09-24 09:48 - 匿名用户

状态:	已解决	开始日期:	2021-09-24
优先级:	普通	计划完成日期:	
指派给:		% 完成:	20%
类别:		预期时间:	0.00 小时
目标版本:		耗时:	0.00 小时
问题归属:		CPU类型:	
描述			
需求 :			
1.1 终端同步调整 : 终端接收调整+发送调整			
1.2 终端发射ta调整 : 终端发送调整, 接收不调整			
计划 :			
设计			
仿真			
在板打桩 (视风险可以省略)			
联调			

历史记录

#1 - 2021-11-04 12:31 - 匿名用户

- 状态从 新建 变更为 已解决

见《上下行调整-简版.docx》及《上下行调整-测例》

终端同步调整

sample_adj (sflen_adj)

发射调整 : tx_offset