

STE - 功能 #677

STE FPGA配置接口需求

2021-10-29 12:24 - guo hanlin

状态:	进行中	开始日期:	2021-10-29
优先级:	高	计划完成日期:	
指派给:		% 完成:	60%
类别:		预期时间:	0.00 小时
目标版本:		耗时:	0.00 小时
问题归属:		CPU类型:	
描述			
1. 设置SFN PHY函数名：int fpga_cfg_set_slot_idx(uint32_t nFpgaId, uint16_t frm, uint8_t subfrm, uint8_t slot, uint8_t symbol) DEV函数名：tmp_set_sfidx(&value) FPGA：sfidx_set_value, sfidx_set_valid			
2. 调整样点 PHY函数名：int fpga_cfg_set_time_adj_value(uint32_t nFpgaId, int32_t value) DEV函数名：tmp_set_adj_value(&adj_value) FPGA：sflen_adj_value, sflen_adj_valid			
3. 调整频偏 PHY函数名：fpga_cfg_set_freq_adj_value(uint32_t nFpgaId, int32_t value) DEV函数名：tmp_set_dac_update(value, RX_FREQUENCY_HZ) FPGA：未知			
4. 调整SSB数字域缩放系数 PHY函数名：fpga_cfg_sync_zoom_in_out(uint32_t nFpgaId, uint32_t value) DEV函数名：rtc_set_sync_zoom_in_out(value) FPGA：未知			
5. 调整SSB频谱搬移量 PHY函数名：fpga_cfg_sync_spectral_offset (uint32_t nFpgaId, uint32_t value) DEV函数名：rtc_set_sync_spectral_offset(value) FPGA：未知			

历史记录

#1 - 2021-11-04 12:19 - 匿名用户
- 文件 上下行调整_简版.docx 已添加
功能描述：见文档《上下行调整_简版.docx》 FPGA列出bar寄存器表的及使用方法描述
#2 - 2021-11-10 15:28 - guo hanlin
- 文件 FPGA-Dev-API接口文档(1).xlsx 已添加
- 状态从 新建 变更为 进行中
- % 完成从 0 变更为 60

文件

上下行调整_简版.docx	582 KB	2021-11-04	匿名用户
FPGA-Dev-API接口文档(1).xlsx	12.9 KB	2021-11-10	guo hanlin