

ADF4351等功能开发

2021-11-05 10:02 - 匿名用户

状态:	已解决	开始日期:	2021-11-05
优先级:	普通	计划完成日期:	
指派给:		% 完成:	100%
类别:	5.8G_PRU	预期时间:	0.00 小时
目标版本:		耗时:	0.00 小时
问题归属:			
描述			
ADF4351增加管脚约束 ADF4351配置 tx/rx iq取反 PL编译选项			

历史记录

#1 - 2021-11-11 20:48 - 匿名用户

- % 完成 从 0 变更为 40

已编写完毕，待测试

#2 - 2021-11-12 09:51 - 匿名用户

测试项目：

频点

4351

其他参考《STE项目FPGA参考文档》<https://tea7cf22fe.feishu.cn/sheets/shtcn7Ezbws7ZGQsVn3vrJK3Jg>

#3 - 2021-11-24 15:40 - 匿名用户

- 状态 从 新建 变更为 已解决

- % 完成 从 40 变更为 100

测试完毕，见《5.8G终端测试记录.docx》