STE - 错误 #735

FPGA1211出的版本在线加载后，第一次reboot测试，发现pss_conv模块输出head_fifo被写满，phy打印时隙号不匹配

2021-12-13 17:55 - 杨晋

状态:	转测试	开始日期:	2021-12-13
优先级:	普通	计划完成日期:	
指派给:	杨晋	% 完成:	0%
类别:		预期时间:	0.00 小时
目标版本:		耗时:	0.00 小时
问题归属:		CPU类型:	
描述			
后续reboot测试时没有这个现象。			
相关的问题:			
关联到 STE - 错误 #725: 同步跟踪状态下，样点调整后信噪比降低		已解决	2021-12-03

历史记录

#1 - 2021-12-13 17:59 - 杨晋

- 文件 ste3.png 已添加

- 状态从 新建 变更为 进行中

time	1848	0	1768	1778	1788	1798	1808	1818	1828	1838	1848	1858	1868	1878	1888	1898	
ttd_frm	2ff	000	2fe										2ff				
ttd_subfrm	0	0	6	7	8	9	0	1	2	3	4	5	6	7	8	9	
ttd_slot	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	
ttd_symb	3	0	2	3										4			
sym_frm	2ff	000	2fe										2ff				
syn_subfrm	0	0	6	7	8	9	0	1	2	3	4	5	6	7	8	9	
syn_slot	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	

fpga使用x86发送同步描述符触发采样，发现ttd和同步数据偏差超过1个时隙。

再次reboot后测试没这个现象：

ste4.png

#2 - 2021-12-13 18:04 - guo hanlin

为解决#错误725，fpga版本更换为：T211209_terminal_verAlc9d1_firV0

修改前的版本为：E2F_EPB02_V112_T211103_270M_terminal_verA1c9c (小区搜索4~7分钟后出现错误#725)

#3 - 2021-12-13 18:04 - guo hanlin

- 关联到 错误#725: 同步跟踪状态下，样点调整后信噪比降低 已添加

#4 - 2021-12-15 14:46 - 杨晋

fpga的pss_conv模块输出给同步（prach）模块的head中填的长度信息是pcie

bra配置的，新fpga版本把同步模块改成250M时钟后，同步模块工作起始时刻变早了（原来245.76M时钟生成慢），此时可能bar还没有配置长度相关寄存器，导致同步模块读到长度为0，工作异常。

因为bar配置长度相关寄存器在每次reboot时也不进行复位，所以看到现象是只在fpga加载后的第一次reboot异常。

把pss_conv输入的长度信息写成固定值，出版本测试FPGA加载后第一次reboot也正常。

#5 - 2021-12-15 14:46 - 杨晋

- 状态从 进行中 变更为 转测试

文件

ste3.png	53.4 KB	2021-12-13	杨晋
----------	---------	------------	----