

BA5000平台 - 错误 #791

FX200 在fpga占用资源高时，eth ip输出时钟频率不对，出现RU连接不上

2022-04-18 12:26 - 杨 晋

状态:	挂起	开始日期:	2022-04-18
优先级:	普通	计划完成日期:	
指派给:	杨 晋	% 完成:	0%
类别:		预期时间:	0.00 小时
目标版本:		耗时:	0.00 小时
问题归属:	FPGA		
描述			
1、把RU断电，连不上。 2、AU和RU断电，连不上， -- 晓阳查看AU串口，pll未锁定。 3、在线加载AU FPGA版本，reboot，可以连上。 4、再次断电AU，可以连接上。 --- 初步判断不进行第3步，直接多断电几次AU，也能连上			
相关的问题:			
关联到 BA5000平台 - 错误 #797: 222环境，概率性出现RU时钟不能锁定			已关闭 2022-05-07

历史记录

#1 - 2022-04-29 11:36 - 杨 晋

- 状态从新建变更为挂起

这个问题与fpga板卡和版本都有关系，有个板卡搭配某些fpga版本出问题的概率很高，但此时AU的以太接收可以pma-lock，暂时无进一步的思路。

#2 - 2022-05-07 15:12 - 杨 晋

- 关联到 错误#797: 222环境，概率性出现RU时钟不能锁定 已添加

#3 - 2022-09-08 12:49 - 杨 晋

- 问题归属FPGA 已添加

进一步分析是，部分fpga板卡，当fpga资源占用率高、时序紧张时，以太ip内部一个输出时钟（tx_clk_out_0, 实际是GTYE4输出的）频率错误，应该是156.25M，实际是156.1M，导致RU不能锁定。
暂时规避方法：出了仅支持下行两天线的版本，资源占用低，所有板卡fpga都是能锁定的。

#4 - 2023-06-29 10:10 - 杨 晋

在797问题单关注此问题

#5 - 2023-06-29 10:11 - 杨 晋

- 状态从挂起变更为进行中

#6 - 2023-06-29 10:11 - 杨 晋

- 状态从进行中变更为已解决

#7 - 2023-06-29 10:13 - 杨 晋

- 状态从已解决变更为进行中

#8 - 2023-07-05 15:00 - 杨 晋

- 主题从224环境，219p版本，某次上电后，出现RU连接不上 变更为FX200 在fpga占用资源高时，eth ip输出时钟频率不对，出现RU连接不上

#9 - 2023-07-05 15:04 - 杨 晋

- 文件20230705-150342.jpg 已添加

- 文件20230705-150352.jpg 已添加

#10 - 2023-07-05 15:05 - 杨 晋

refclk_p0, refclk_n0, tx_serdes_refclk

The `refclk` differential pair is required to be an input to the FPGA. The example design includes a buffer to convert this clock to a single-ended signal `refclk`, which is used as the reference clock for the GT block. The `tx_serdes_refclk` is directly derived from `refclk`. Note that `refclk` must be chosen so that the `tx_serdes_refclk` meets the requirements of 802.3, which is within 100 ppm of 390.625 MHz for 25G, 156.25 MHz for 64-bit 10G, and 312.5MHz for 32-bit 10G.

tx_clk_out

This clock is used for clocking data into the TX AXI4-Stream Interface and it is also the reference clock for the TX control and status signals. It is the same frequency as `tx_serdes_refclk`.

rx_clk_out

The `rx_clk_out` output signal is presented as a reference for the RX control and status signals processed by the RX core. It is the same frequency as the `rx_serdes_clk`.

rx_clk

The `rx_clk` is the input clk for RX core. This `rx_clk` is available as `rx_core_clk` to you, which you must drive from the example design. You can drive the `rx_core_clk` with any frequency that meets the requirements of the RX core.

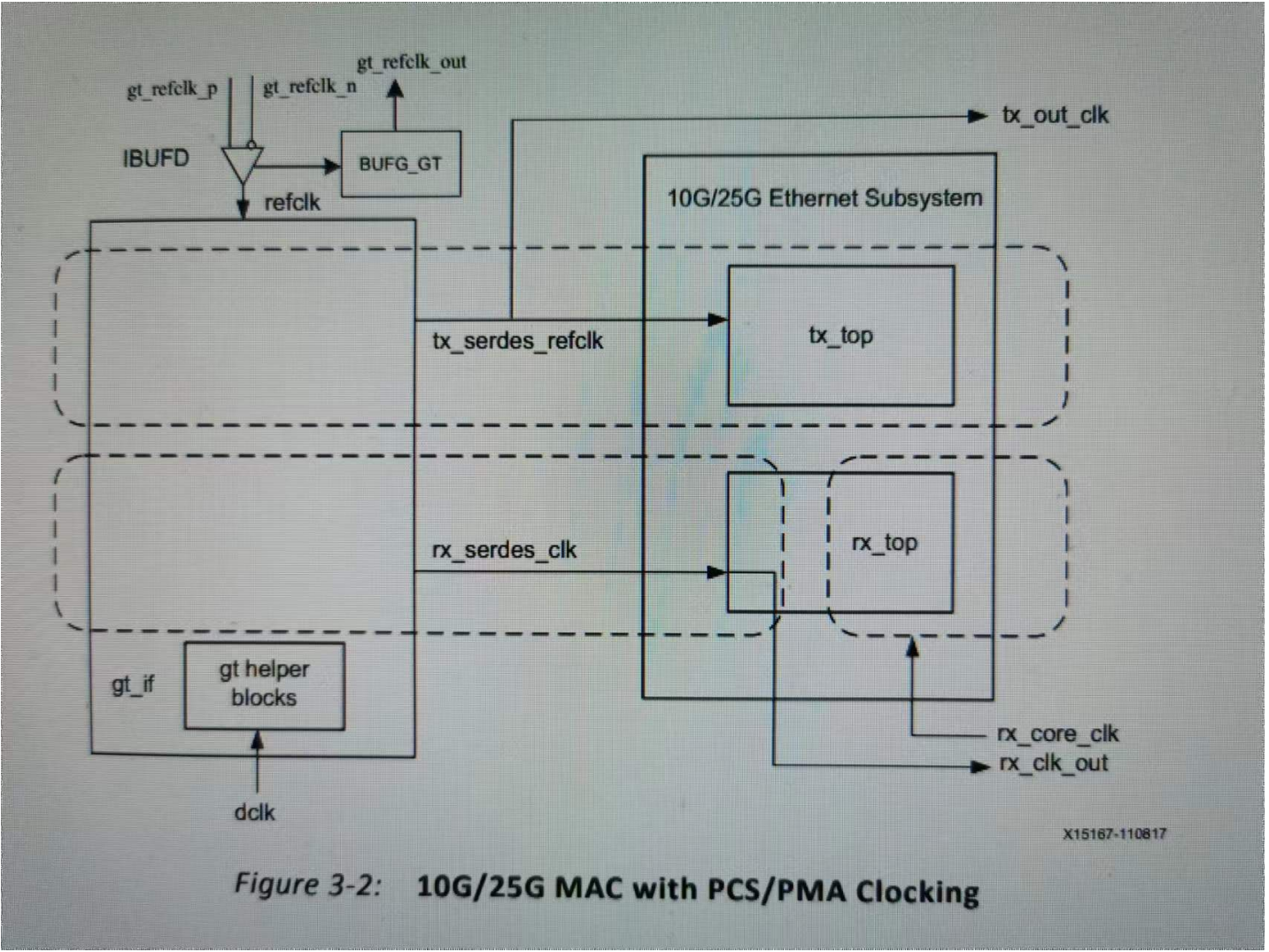


Figure 3-2: 10G/25G MAC with PCS/PMA Clocking

- #11 - 2023-07-05 15:05 - 杨晋
- 文件 已删除 (20230705-150342.jpg)
- #12 - 2023-07-05 15:05 - 杨晋
- 文件 已删除 (20230705-150352.jpg)
- #13 - 2023-10-24 10:09 - 杨晋
- 状态从 进行中 变更为 挂起

文件			
20230705-150342.jpg	283 KB	2023-07-05	杨晋
20230705-150352.jpg	299 KB	2023-07-05	杨晋