

2.0基站产品化测试 - 错误 #984

上行有频偏的情况下，打开频偏补偿功能，并没有效果

2022-12-02 17:25 - 高峰

状态:	已关闭	开始日期:	2022-12-02
优先级:	普通	计划完成日期:	
指派给:	董小平	% 完成:	0%
类别:		预期时间:	0.00 小时
目标版本:		耗时:	2.00 小时
问题归属:	PHY	FPGA板卡类型:	115P+PRU
发现问题版本:	Rel_2.1.11P	CPU类型:	Xeon-gold5218(宝德)
目标解决问题版本:	Rel_2.1.12P		

描述

Pre2版本上行调度修改为12symbol之后，DMRS位置从原来的2,11 变更为2,9。
物理层频偏补偿算法补偿系数是按照DMRS 2,11做的；DMRS变更为2,9后，需要重新添加2,9补偿系数分支。

历史记录

#1 - 2022-12-02 10:31 - 董小平

- 文件 算法链路修改.PNG 已添加
- 文件 无频偏的星座图.PNG 已添加

修改了算法链路如下的代码，最终星座图没有频偏引起的旋转。
修改算法链路如下

```
if (bFixEn==1)
    if tPuschParIn.FreqComEn == 1
        % fTheta = 2*pi*9*(iFftSize+iShortCpLen)*iFreqDmrsEst/(iFftSize);
        % iFreqCmps1 = [-2 -1 0 1 2 3 4 -4 -3 -2 -1 0 1 2];
        fTheta = 2*pi*7*(iFftSize+iShortCpLen)*iFreqDmrsEst/(iFftSize);
        iFreqCmps1 = [-2 -1 0 1 2 3 -3 -2 -1 0 1 2];
        % iFreqCmps = exp(1i*fTheta.*iFreqCmps1/9).*(2^15-1);
        iFreqCmps = exp(1i*fTheta.*iFreqCmps1/7).*(2^15-1);
```

最终的星座图



#2 - 2022-12-02 11:52 - 董小平

- 文件 1.PNG 已添加
- 文件 2.PNG 已添加
- 文件 3.PNG 已添加

继续修改在板对应2,9的代码部分

1、第一处，修改估计频偏的系数7

```
float fTheta[CE_MAX_TX_LAYER_NUM] = {0};  
// double tTheta = 39456; //(11-2)*(288+4096); 2/11  
double tTheta = 30688;
```

2、dmrs_mmse_ce_time_interp_freq_CompCoeff中插值系数修改

```
// float CompCoeff[14] = {0, 0, -0.222222, -0.111111, 0.111111, 0.222222, 0.333333, 0.444444,  
// -0.444444, -0.333333, -0.222222, -0.111111, 0.111111, 0.222222};//[0 -2 -1 1 2 3 4]/9  
float CompCoeff[12] = {0,0,-0.2857, -0.1429, 0.1429, 0.2857, 0.4286, -0.4286, -0.2857, -0.1429, 0.1429, 0.2857};
```

3、bbLib_channel_estimation_5gnr_type1时域插值的系数修改

```
if ((2 == nDmrsSymb) && (1 == nFreqComp)) // 2个dmrs情况下 进行频偏补偿  
{  
    //float f_time_interp_coeff[CE_MAX_DMRS_SYMBOL][CE_N_SYMB_PER_SLOT] =  
    // { {1,0, 1,1,1,1,1,1, 0,0,0,0,0,0},  
    // {0,1, 0,0,0,0,0,0, 1,1,1,1,1,1},  
    // {0},  
    // {0}}; //确定时域插值，做频偏纠正  
    float f_time_interp_coeff[CE_MAX_DMRS_SYMBOL][CE_N_SYMB_PER_SLOT] =  
    { {1,0, 1,1,1,1,1, 0,0,0,0,0},  
    {0,1, 0,0,0,0,0, 1,1,1,1,1},  
    {0},  
    {0}}; //确定时域插值，做频偏纠正
```

修改完毕，待在板测试验证效果。

#3 - 2022-12-02 14:30 - 高峰

- 状态从新建变更为转测试

#4 - 2022-12-05 12:23 - 高峰

新版本在板测试没有效果，但在板采样用频偏补偿的matlab是可以译对的
需要PUSCH ST比一下数据

#5 - 2022-12-05 12:25 - 高峰

- 状态从转测试变更为进行中

#6 - 2022-12-05 14:48 - 高峰

PUSCH ST链路x86也是可以译对的；找测试确认了一下，是没有打开频偏补偿功能，需要打开频偏补偿后重新测试。

#7 - 2022-12-06 10:05 - 高峰

频偏补偿打开实际测试，流量可以达到预期；证明西安环境确实是频偏问题导致。FPGA 硬件时钟问题提新的问题单 #987 跟踪

频偏补偿算法离产品使用，还遗留2个问题：

今天你发现的，高通CPE出现过接入困难的情况；

需要上行多用户测试，看看是否有PHY 超时挂死的情况

#8 - 2022-12-12 18:18 - 吕国荣

频偏补偿的代码修改：可以根据上行的符号数自适应调整；代码已经合入 pre4版本中

#9 - 2022-12-14 12:03 - 高峰

- 状态从进行中变更为转测试

PHY升级 symbol数12和14 自适应

#10 - 2023-02-03 16:41 - 吕国荣

- 状态从转测试变更为已解决

#11 - 2023-02-06 12:30 - 高峰

- 状态从已解决变更为已关闭

文件

算法链路修改.PNG	10.3 KB	2022-12-02	董小平
无频偏的星座图.PNG	9.41 KB	2022-12-02	董小平

1.PNG	5.22 KB	2022-12-02	董小平
2.PNG	5.96 KB	2022-12-02	董小平
3.PNG	16.3 KB	2022-12-02	董小平