

BA5000平台 - 问题

#	跟踪	状态	问题归属	优先级	主题	指派给	更新于
1201	任务	新建	DRV	普通	当cu或du或phy崩溃时，增加FPGA日志记录。	战 弋戈	2023-07-06 10:07
1196	错误	挂起	DRV, FPGA, PRU	普通	PL eth 通道在进行udp 测试 小于64字节包测试时，会出现丢包现象。	杨 晋	2023-10-24 10:08
1153	错误	挂起	FPGA	低	3ru时，AU合并模块收到第3个ru的数据比第2个ru晚了几个子符号	杨 晋	2023-10-24 10:08
1152	错误	新建	DRV, FPGA	普通	PL eth 网卡udp报文x86->ps环回测试，当发送的udp报文为1字节时，x86->ps的过程中，ps端没有收到。	杨 晋	2023-06-20 09:49
1032	错误	新建	FPGA	高	Fh demo跑1588+两RU版本，一段时间后出现没有rx		2023-02-07 18:48
837	错误	新建		普通	在正式发布版本中，不管是否启动的RU，都要等待40s，进行优化处理。		2022-05-19 17:41
827	功能	新建		普通	PRU温度，功率查询		2022-05-19 14:59
791	错误	挂起	FPGA	普通	FX200 在fpga占用资源高时，eth ip输出时钟频率不对，出现RU连接不上	杨 晋	2023-10-24 10:09
749	任务	新建		普通	增加时间默认样点配置时，使用配置文件进行设置。	战 弋戈	2021-12-27 15:44
739	错误	新建		普通	fpga的PS系统，在进行写入flash时，每次只能写入256字节，不能一次写入更多的数据。		2021-12-14 19:41
713	任务	新建		普通	[AU] 上行256QAM FEC	杨 晋	2021-11-22 18:16
712	任务	新建		低	CPRI 接口功能开发	杨 晋	2021-11-22 18:15
711	任务	新建	DRV, FPGA	普通	[AU/RU] 高精度的时间同步(1588)	杨 晋	2022-07-04 12:08
710	任务	新建		普通	[AU] 多RU接收数据合并	杨 晋	2021-11-22 18:13
709	任务	新建		低	[AU/RU/Dev] 基站通过编译选项支持 2T2R/4T2R/4T4R	杨 晋	2021-11-22 18:12
708	任务	转测试	FPGA	高	[AU] 基站 AU同步到输入的PPS外部时钟上	杨 晋	2022-06-25 16:41
705	错误	新建		普通	在跑Fecdemo1时，第一次跑正常，中断后第二次跑会出现只有发送，没有接收的情况。	战 弋戈	2021-12-02 17:35
666	错误	挂起		普通	长时间跑FecDemo1即不等待版本用例，跑一段时间后会出现只有编码，没有解码的现象。		2021-10-15 19:01
665	错误	新建		普通	长时间跑FecDemo1即不等待版本用例，跑一段时间后会出现只有编码，没有解码的现象。		2021-10-15 19:07