

BA5000平台

	2026-1					2026-2					2026-3					2026-4					2026-5					2026-6				
	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26					
女娲																														
BA5000平台	BA5000平台																													
长时间跑FecDemo1即不等待版本用例，跑一段时间后会	出现只有编码，没有解码的现象。																													
长时间跑FecDemo1即不等待版本用例，跑一段时间后会	出现只有编码，没有解码的现象。																													
fhdemo tti 丢失	已解决 100%																													
fhdemo 绑定cpu后，接收时出现rx_seq 跟 ttiCount (...)																														
北邮环境 ubuntu Ubuntu 20.04（内核5.8.x）；主机 (...)																														
在跑Fecdemo1时，第一次跑正常，中断后第二次跑会出现	只有发送，没有接收的情况。																													
[AU/RU/Dev] 基站通过编译选项支持 2T2R/4T2R/4T4R																														
[AU] 多RU接收数据合并																														
[AU/RU] 高精度的时间同步(1588)																														
CPRI 接口功能开发																														
[AU] 上行256QAM FEC																														
fpga的PS系统，在进行写入flash时，每次只能写入256字节，不能一次写入更多的数据。 (...)																														
增加时间默认样点配置时，使用配置文件进行设置。																														
[AU] 基站 AU同步到输入的PPS外部时钟上																														
FPGA有的版本偶现驱动读取版本号 全F，有的版本必现	这个问题																													
FPGA上电第一次挂，重启站或reboot后再没有问题																														
FX200 在fpga占用资源高时，eth ip输出时钟频率不对，出现	RU连接不上																													
PRU温度，功率查询																														
在正式发布版本中，不管是否启动的RU，都要等待40s，	进行优化处理。																													
MultiRU版本中，根据yang模型的具体配置进行ecpri的绑定设置，在发送1588报文时，根据yang的配置进行设置	eport端口。																													
Fh demo跑1588+两RU版本，一段时间后出现没有rx																														
在进行LINUX版本RU移植eth1过程中，裸机程序发送接收	能收到数据，linux版本的驱动只能发送不能接收到PL环回的数据。																													
调试eth，RU pl发送的ping，X86收到的长度不正确																														
调试eth，RU pl发送的tcp包，X86收到的包尾部有重复字节																														
PL eth 网卡udp报文x86->ps环回测试，当发送的udp报文为1字节时，x86->ps的过程中，ps端没有收到。																														
3ru时，AU合并模块收到第3个ru的数据比第2个ru晚了几个子符号																														

<p>新国产平台，编译驱动出现错误。</p> <p>PL eth 通道在进行udp 测试 小于64字节包测试时，会出现丢包现象。</p> <p>对spectral_offset_s 结构体可以进行正负值的设置。</p> <p>当cu或du或phy崩溃时，增加FPGA日志记录。</p> <p>CPRI Fh demo测试，fpga把tx包丢弃</p> <p>增加一个FHDEMO的初始化流程配置</p> <p>STE ARM环境测试690t板卡，FGPA在写fft数据过程中，rp总线ready信号变无效</p>	
--	--