

## STE

	2026-1					2026-2					2026-3					2026-4					2026-5					2026-6				
	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26					
STE	STE																													
FPGA上下行时偏调整功能																														
AU PPS功能																														
测试环境搭建																														
AU 上下行功能																														
FPGA使用FH进行demo测试，概率性出现跑一会接收异常																														
初始化table待修改																														
I1c和phy接口变量需要提前申请内存以及内存释放																														
MKL DFTI 使用说明																														
dev Num: 0 <<get fth error>>																														
PHY启动时卡在：Start config RU																														
STE FPGA配置接口需求																														
ste fpga 个别FPGA版本会出现启动后，屏蔽接收，只有发送时会出现没有输出的现象。																														
终端与基站首次同步存在22k~30k频偏																														
驱动初始化时出现与PucchSeq内存分配相关的异常打印																														
L1C模块功能开发																														
物理层初始化RU时卡死																														
同步设置sfni调整异常																														
同步进入跟踪状态打开FH RX通道后TTI异常																														
同步跟踪状态下，样点调整后信噪比降低																														
FPGA1211出的版本在线加载后，第一次reboot测试，发现pss_conv模块输出head_fifo被写满，phy打印时隙号不匹配																														
终端251同步通道接收数据全噪声，导致小区搜索失败																														
STE终端安装icc以支持编译																														
wn5gNrUePsRrcCsEvlCell文件中wnRrcCsIsCellBrdd函数中通过MIB消息判断小区是否被bared的判断出错																														